



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

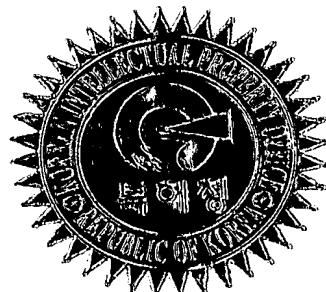
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0019782
Application Number

op 4005

출 원 년 월 일 : 2003년 03월 29일
Date of Application MAR 29, 2003

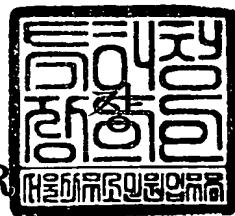
출 원 인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2004 년 02 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2003.03.29		
【발명의 명칭】	투명 도전막의 패터닝 방법 및 그를 이용한 표시 소자용 박막 트랜지스터 기판 및 그 제조 방법		
【발명의 영문명칭】	PATTERNING METHOD OF TRANSPARENT CONDUCTIVITY FILM AND THIN FILM TRANSISTOR SUBSTRATE FOR DISPLAY DEVICE USING THE SAME AND FABRICATING METHOD THEREOF		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	1999-001050-4		
【발명자】			
【성명의 국문표기】	안병철		
【성명의 영문표기】	AHN,Byung Chul		
【주민등록번호】	560115-1005322		
【우편번호】	431-070		
【주소】	경기도 안양시 동안구 평촌동 899-2 향촌아파트 203동 903호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 김영호 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	80	면	80,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	18	항	685,000 원
【합계】	794,000 원		

1020030019782

출력 일자: 2004/2/9

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 마스크 공정 없이 투명 도전막을 선택적으로 식각할 수 있는 투명 도전막의 패터닝 방법과 이를 이용한 표시 소자용 박막 트랜지스터 기판과 그 제조 방법에 관한 것이다.

본 발명의 투명 도전막의 패터닝 방법은 무기물 기판을 마련하는 단계와; 상기 무기물 기판의 소정 영역에 유기물 패턴을 형성하는 단계와; 상기 유기물 패턴이 형성된 영역을 제외한 나머지 영역의 상기 무기물 기판 상에 결정화 촉매층을 형성하는 단계와; 상기 유기물 보다 상기 결정화 촉매층이 형성된 무기물 기판 상에서 결정화율이 빠른 투명 도전막을 형성하는 단계와; 상기 결정화율에 따라 상기 투명 도전막을 선택적으로 식각하여 패터닝하는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 5c

【명세서】**【발명의 명칭】**

투명 도전막의 패터닝 방법 및 그를 이용한 표시 소자용 박막 트랜지스터 기판 및 그 제조 방법{PATTERNING METHOD OF TRANSPARENT CONDUCTIVITY FILM AND THIN FILM TRANSISTOR SUBSTRATE FOR DISPLAY DEVICE USING THE SAME AND FABRICATING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래의 액정 표시 장치에 포함되는 박막 트랜지스터 기판을 부분적으로 도시한 평면도.

도 2은 도 1에 도시된 박막 트랜지스터 기판을 I - I '선을 따라 절단하여 도시한 단면도

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 기판의 제조 방법을 단계적으로 도시한 단면도들.

도 4a 내지 도 4b는 본 발명의 실시 예에 따른 투명 도전막의 패터닝 방법을 단계적으로 도시한 단면도들.

도 5a 내지 도 5c는 본 발명의 다른 실시 예에 따른 투명 도전막의 패터닝 방법을 단계적으로 도시한 단면도들.

도 6은 본 발명의 실시 예에 따른 박막 트랜지스터 기판을 부분적으로 도시한 평면도.

도 7은 도 6에 도시된 박막 트랜지스터 기판을 II-II '선 및 III-III '선을 따라 절단하여 도시한 단면도.

도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 9a 및 도 9d는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도들.

도 10a 및 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 11a 및 도 11b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 투명 도전막 증착 공정을 설명하기 위한 평면도 및 단면도.

도 12a 및 도 12b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 투명 도전막의 선택적 식각 공정을 설명하기 위한 평면도 및 단면도.

도 13a 내지 도 13d는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들.

도 14은 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도.

도 15는 도 14에 도시된 박막 트랜지스터 기판을 IV-IV'선 및 V-V'선을 따라 절단하여 도시한 단면도.

도 16a 내지 도 16c는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들.

도 17a 내지 도 17d는 본 발명의 제4 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들.

도 18는 본 발명의 제5 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도.

도 19은 도 18에 도시된 박막 트랜지스터 기판을 VI-VI'선 및 VII-VII'선을 따라 절단하여 도시한 단면도.

도 20a 내지 도 20d는 본 발명의 제5 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들.

도 21a 내지 도 21e는 본 발명의 제6 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 102, 202, 302 : 게이트 라인 4, 104, 204, 304 : 데이터 라인

6, 106, 206, 306 : 박막 트랜지스터 8 : 게이트 전극

10, 110, 210, 310 : 소스 전극 12, 112, 212, 312 : 드레인 전극

14, 154, 254, 354 : 활성층

16, 24, 30, 38, 162, 164, 262, 264, 362, 364 : 컨택홀

18, 118, 218, 318 : 화소 전극

20, 120, 220, 320 : 스토리지 캐패시터

22, 122, 222, 322 : 스토리지 상부 전극

26, 126, 226, 326 : 게이트 패드부

28, 128, 228, 328 : 게이트 패드 하부 전극

32, 132, 232, 332 : 게이트 패드 상부 전극

34, 134, 234, 334 : 데이터 패드부

36, 136, 236, 336 : 데이터 패드 하부 전극

40, 140, 240, 340 : 데이터 패드 상부 전극

42, 52, 150, 250, 350 : 기판 44, 152, 252, 352 : 게이트 절연막

48, 156, 256, 356 : 오믹 접촉층 50, 274 : 보호막

54 : 무기막 56, 358 : 유기막

58, 166, 266, 366 : 투명 도전막

60, 166B, 266B, 366B : 비정질 투명 도전막

62, 166A, 266A, 266A : 결정질 투명 도전막

64, 160A, 160B, 160, 180, 280, 380 : 포토레지스트 패턴

158, 258 : 유기 보호막 272, 372 : 무기 보호막

66, 182, 282, 382 : 결정화 촉매층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<46> 본 발명은 표시 소자와 그의 제조 방법에 관한 것으로, 특히 투명 도전막을 마스크를 이용하지 않고 선택적으로 식각할 수 있는 투명 도전막의 패터닝 방법에 관한 것이다. 또한, 본 발명은 투명 도전막의 패터닝 방법을 이용하여 마스크 공정수를 줄일 수 있는 표시 소자의 그 제조 방법에 관한 것이다.

<47> 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.

<48> 액정 패널은 서로 대향하는 박막 트랜지스터 기판 및 칼라 필터 기판과, 두 기판 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

<49> 박막 트랜지스터 기판은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치 소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔 신호에 응답하여 데이터 라인에 공급되는 화소 신호를 화소 전극에 공급한다.

<50> 칼라 필터 기판은 액정셀 단위로 형성된 칼라 필터들과, 칼라 필터들간의 구분 및 외부 광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준 전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

<51> 액정 패널은 박막 트랜지스터 기판과 칼라 필터 기판을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.

<52> 이러한 액정 패널에서 박막 트랜지스터 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 기판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리쏘그래피

공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.

<53> 도 1은 4 마스크 공정을 채택한 박막 트랜지스터 기판을 예를 들어 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 기판을 I - I '선을 따라 절단하여 도시한 단면도이다.

<54> 도 1 및 도 2에 도시된 박막 트랜지스터 기판은 하부 기판(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차 구조로 마련된 셀 영역에 형성된 화소 전극(18)을 구비한다. 그리고, 박막 트랜지스터 기판은 화소 전극(18)과 전단 게이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)에 접속되는 게이트 패드부(26)와, 데이터 라인(4)에 접속되는 데이터 패드부(34)를 구비한다.

<55> 박막 트랜지스터(6)는 게이트 라인(2)에 공급되는 스캔 신호에 응답하여 데이터 라인(4)에 공급되는 화소 신호가 화소 전극(18)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(16)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다.

<56> 이렇게 소스 전극(10) 및 드레인 전극(12)과 중첩되면서 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 포함하는 활성층(14)은 데이터 라인(4), 데이터 패드 하부 전극(36), 스토리지 전극(22)과도 중첩되게 형성된다. 이러한 활성층(14) 위에는 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12), 데이터 패드 하부 전극(36), 스토리지 전극(22)과 오믹 접촉을 위한 오믹 접촉층(48)이 더 형성된다.

<57> 화소 전극(18)은 보호막(50)을 관통하는 제1 컨택홀(16)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소 신호에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(18)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

<58> 스토리지 캐패시터(20)는 전단 게이트 라인(2)과, 그 게이트 라인(2)과 게이트 절연막(44), 활성층(14) 및 오믹접촉층(48)을 사이에 두고 중첩되는 스토리지 상부 전극(22)과, 그 스토리지 상부 전극(22)과 보호막(50)을 사이에 두고 중첩됨과 아울러 그 보호막(50)에 형성된 제2 컨택홀(24)을 경유하여 접속된 화소 전극(22)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

<59> 게이트 라인(2)은 게이트 패드부(26)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(26)는 게이트 라인(2)으로부터 연장되는 게이트 하부 전극(28)과, 게이트 절연막(44) 및 보호막(50)을 관통하는 제3 컨택홀(30)을 통해 게이트 하부 전극(28)에 접속된 게이트 패드 상부 전극(32)으로 구성된다.

<60> 데이터 라인(4)은 데이터 패드부(34)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(34)는 데이터 라인(4)으로부터 연장되는 데이터 하부 전극(36)과, 보호막(50)을 관통하는 제4 컨택홀(38)을 통해 데이터 패드(36)와 접속된 데이터 패드 상부 전극(40)으로 구성된다.

<61> 이러한 구성을 가지는 박막 트랜지스터 기판의 제조 방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

<62> 도 3a를 참조하면, 제1 마스크 공정을 이용하여 하부기판(42) 상에 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(28)을 포함하는 게이트 금속 패턴들이 형성된다.

<63> 상세히 하면, 하부 기판(42) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(28)을 포함하는 게이트 금속 패턴들이 형성된다. 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

<64> 도 3b를 참조하면, 게이트 금속 패턴들이 형성된 하부 기판(42) 상에 게이트 절연막(44)이 도포된다. 그리고 제2 마스크 공정을 이용하여 게이트 절연막(44) 위에 활성층(14) 및 오믹 접촉층(48)을 포함하는 반도체 패턴과; 데이터 라인(4), 소스 전극(10), 드레인 전극(12), 데이터 패드 하부 전극(36), 스토리지 전극(22)을 포함하는 소스/드레인 금속 패턴들이 순차적으로 형성된다.

<65> 상세히 하면, 게이트 금속 패턴들이 형성된 하부 기판(42) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(44), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(44)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

<66> 이어서, 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리쏘그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

<67> 이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝 됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 스토리지 전극(22)을 포함하는 소스/드레인 금속 패턴들이 형성된다.

<68> 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(48)과 활성층(14)이 형성된다.

<69> 그리고, 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 소스/드레인 금속 패턴 및 오믹 접촉층(48)이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스 전극(10)과 드레인 전극(12)이 분리된다.

<70> 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.

<71> 도 3c를 참조하면, 소스/드레인 금속 패턴들이 형성된 게이트 절연막(44) 상에 제3 마스크 공정을 이용하여 제1 내지 제4 컨택홀들(16, 24, 30, 38)을 포함하는 보호막(50)이 형성된다.

<72> 상세히 하면, 소스/드레인 금속 패턴들이 형성된 게이트 절연막(44) 상에 PECVD 등의 증착 방법으로 보호막(50)이 전면 형성된다. 이어서, 보호막(50)이 제3 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 패터닝됨으로써 제1 내지 제4 컨택홀들(16, 24, 30, 38)이 형성된다. 제1 컨택홀(16)은 보호막(50)을 관통하여 드레인 전극(12)이 노출되게 형성되고, 제2 컨택홀(24)은 보호막(50)을 관통하여 스토리지 상부 전극(22)이 노출되게 형성된다. 제3 컨택홀(30)은 보호막(50) 및 게이트 절연막(44)을 관통하여 게이트 패드 하부 전극(28)이 노출되게

형성된다. 제4 컨택홀(38)은 보호막(50)을 관통하여 데이터 패드 상부 전극(36)이 노출되게 형성된다.

<73> 보호막(50)의 재료로는 게이트 절연막(44)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFBC 등과 같은 유기 절연 물질이 이용된다.

<74> 도 3d를 참조하면, 제4 마스크 공정을 이용하여 보호막(50) 상에 화소 전극(18), 게이트 패드 상부 전극(32), 데이터 패드 상부 전극(40)을 포함하는 투명 도전막 패턴들이 형성된다.

<75> 보호막(50) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 이어서 제4 마스크를 이용한 포토리쏘그래피 공정과 식각 공정을 통해 투명 도전막이 패팅넘됨으로써 화소 전극(18), 게이트 패드 상부 전극(32), 데이터 패드 상부 전극(40)을 포함하는 투명 도전막 패턴들이 형성된다. 화소 전극(18)은 제1 컨택홀(16)을 통해 드레인 전극(12)과 전기적으로 접속되고, 제2 컨택홀(24)을 통해 전단 게이트 라인(2)과 중첩되는 스토리지 상부 전극(22)과 전기적으로 접속된다. 게이트 패드 상부 전극(32)는 제3 컨택홀(30)을 통해 게이트 패드 하부 전극(28)과 전기적으로 접속된다. 데이터 패드 상부 전극(40)은 제4 컨택홀(38)을 통해 데이터 하부 전극(36)과 전기적으로 접속된다. 여기서, 투명 도전막의 재료로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO) 등이 이용된다.

<76> 이와 같이 종래의 박막 트랜지스터 기판 및 그 제조 방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조 공정수를 줄임과 아울러 그에 비례하는 제조 단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조 공정이 복잡하여 원가 절감에

한계가 있으므로 제조 공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 박막 트랜지스터 기판 및 그 제조 방법이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<77> 따라서, 본 발명의 목적은 마스크 공정 없이 투명 도전막을 선택적으로 식각할 수 있는 투명 도전막의 패터닝 방법과 이를 이용한 표시 소자를 제공하는 것이다.

<78> 본 발명의 다른 목적은 투명 도전막의 결정화 차이를 보다 크게 하여 투명 도전막의 선택적 식각 공정의 안정성을 높일 수 있는 투명 도전막의 패터닝 방법과 이를 이용한 표시 소자를 제공하는 것이다.

<79> 본 발명의 또 다른 목적은 상기 투명 도전막의 패터닝 방법을 채택하여 박막 트랜지스터 기판의 구조 및 공정을 단순화할 수 있는 표시 소자용 박막 트랜지스터 기판 및 그 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<80> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 투명 도전막의 패터닝 방법은 무기물 기판을 마련하는 단계와; 상기 무기물 기판의 소정 영역에 유기물 패턴을 형성하는 단계와; 상기 유기물 패턴이 형성된 영역을 제외한 나머지 영역의 상기 무기물 기판 상에 결정화 촉매층을 형성하는 단계와; 상기 유기물 보다 상기 결정화 촉매층이 형성된 무기물 기판 상에 서 결정화율이 빠른 투명 도전막을 형성하는 단계와; 상기 결정화율에 따라 상기 투명 도전막을 선택적으로 식각하여 패터닝하는 단계를 포함하는 것을 특징으로 한다.

<81> 상기 결정화 촉매층은 내열성 금속인 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 중 적어도 어느 하나의 금속을 포함하는 것을 특징으로 한다.

<82> 상기 결정화 촉매층은 상기 금속원자들이 성글게 분산된 분포를 갖도록 형성된 것을 특징으로 한다.

<83> 상기 유기물 패턴을 형성하는 단계는 상기 기판 상에 상기 유기막을 전면 형성하는 단계와; 포토리쏘그래피 공정으로 형성된 포토레지스트 패턴을 이용한 식각 공정으로 상기 유기막을 패터닝하는 단계를 포함하는 것을 특징으로 한다.

<84> 상기 결정화 촉매층을 형성하는 단계는 상기 유기물 패턴 위에 상기 포토레지스트 패턴이 형성된 상기 기판 상에 결정화 촉매층을 전면적으로 형성하는 단계와; 상기 포토레지스트 패턴과 함께 그 위의 결정화 촉매층을 제거하는 단계를 포함하는 것을 특징으로 한다.

<85> 본 발명에 따른 표시 소자용 박막 트랜지스터 기판은 게이트 라인과; 상기 게이트 라인과 게이트 절연막을 사이에 두고 교차하여 화소 영역을 결정하는 데이터 라인과; 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와; 상기 화소 영역을 제외한 상기 게이트 라인 및 데이터 라인과 박막 트랜지스터를 덮는 보호막과; 상기 화소 영역에 형성된 결정화 촉매층과; 상기 화소 영역에 상기 보호막과 경계를 이루며 형성되어 상기 박막 트랜지스터와 접속된 화소 전극을 구비하는 것을 특징으로 한다.

<86> 상기 보호막은 유기 절연막, 무기 절연막, 이층 구조의 무기/유기 절연막 중 어느 하나인 것을 특징으로 한다.

<87> 본 발명은 상기 게이트 라인과 동일 물질로 이루어진 게이트 패드 하부 전극과; 상기 보호막 및 게이트 절연막을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 컨택홀과; 상기

화소 전극과 동일 물질로 이루어지고 상기 컨택홀을 통해 상기 게이트 패드 하부 전극과 접속된 게이트 상부 전극을 포함하는 게이트 패드부를 추가로 구비하는 것을 특징으로 한다.

<88> 또한, 본 발명은 상기 데이터 라인과 동일 물질로 이루어진 데이터 패드 하부 전극과; 상기 보호막을 관통하여 상기 데이터 패드 하부 전극을 노출시키는 컨택홀과; 상기 화소 전극과 동일 물질로 이루어지고 상기 컨택홀을 통해 상기 데이터 패드 하부 전극과 접속된 데이터 상부 전극을 포함하는 데이터 패드부를 추가로 구비하는 것을 특징으로 한다.

<89> 상기 결정화 촉매층은 내열성 금속인 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 중 적어도 어느 하나의 금속원자들이 성글게 분산된 분포를 갖도록 형성된 것을 특징으로 한다.

<90> 본 발명에 따른 표시 소자용 박막 트랜지스터 기판의 제조 방법은 기판 상에 게이트 라인을 형성하는 단계와; 상기 게이트 라인을 덮는 게이트 절연막, 반도체층 및 소스/드레인 금속층을 증착하는 단계와; 상기 반도체층 및 소스/드레인 금속층을 동시에 식각하여 상기 게이트 라인과 교차하는 데이터 라인, 그 데이터 라인과 연결된 소스 전극, 그 소스 전극과 대향하는 드레인 전극과, 상기 소스 전극 및 드레인 전극 사이의 채널을 형성하고 상기 데이터 라인을 따르는 반도체층을 형성하는 단계와; 상기 게이트 라인, 데이터 라인, 소스 전극, 드레인 전극을 덮도록 보호막을 형성하는 단계와; 상기 보호막이 형성된 영역을 제외한 나머지 영역에 결정화 촉매층을 형성하는 단계와; 상기 결정화 촉매층 상에 상기 보호막과 경계를 이루고 상기 드레인 전극과 접속된 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<91> 상기 보호막을 형성하는 단계는 상기 보호막을 상기 기판 상에 전면적으로 형성하는 단계와; 포토리쏘그래피 공정으로 형성된 포토레지스트 패턴을 이용한 식각 공정으로 상기 보호막을 패터닝하는 단계를 포함하는 것을 특징으로 한다.

<92> 상기 결정화 측매층을 형성하는 단계는 상기 보호막 위에 상기 포토레지스트 패턴이 형성된 상기 기판 상에 상기 결정화 측매층을 전면적으로 형성하는 단계와; 상기 포토레지스트 패턴과 함께 그 위의 상기 결정화 측매층을 제거하는 단계를 포함하는 것을 특징으로 한다.

<93> 상기 결정화 측매층은 내열성 금속인 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 중 적어도 어느 하나의 금속원자들이 성글게 분산된 분포를 갖도록 형성된 것을 특징으로 한다.

<94> 상기 보호막은 유기 절연막, 무기 절연막, 이층 구조의 무기/유기 절연막 중 어느 하나로 형성된 것을 특징으로 한다.

<95> 상기 화소 전극을 형성하는 단계는 유기물을 포함하는 보호막 위에서는 비정질을 형성하고, 무기물로 이루어진 상기 나머지 영역에서는 결정질을 형성하는 투명 도전막을 도포하는 단계와; 비정질용 에천트를 이용하여 상기 보호막 위의 비정질 투명 도전막을 선택적으로 식각하여 결정질 투명 도전막만 남아 있게 단계를 포함하는 것을 특징으로 한다.

<96> 그리고, 본 발명은 상기 게이트 라인과 동일 물질로 이루어진 게이트 패드 하부 전극을 형성하는 단계와; 상기 보호막 및 게이트 절연막을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 컨택홀을 형성하는 단계와; 상기 화소 전극과 동일 물질로 이루어지고 상기 컨택홀을 통해 상기 게이트 패드 하부 전극과 접속된 게이트 상부 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

<97> 또한, 본 발명은 상기 게이트 절연막 상에 데이터 라인과 동일 물질로 이루어진 데이터 패드 하부 전극을 형성하는 단계와; 상기 보호막을 관통하여 상기 데이터 패드 하부 전극을 노출시키는 컨택홀을 형성하는 단계와; 상기 화소 전극과 동일 물질로 이루어지고 상기 컨택홀을

통해 상기 데이터 패드 하부 전극과 접속된 데이터 상부 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

<98> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<99> 이하, 본 발명의 바람직한 실시 예들을 도 4a 내지 도 21e를 참조하여 상세하게 설명하기로 한다.

<100> 도 4a 내지 도 4c는 본 발명의 실시 예에 따른 투명 도전막의 패터닝 방법을 단계적으로 설명하기 위한 단면도들이다.

<101> 도 4a를 참조하면, 기판(52) 상에 무기막(54)이 형성되고, 그 무기막(54) 위의 특정 영역에 유기막(56)이 형성된다. 유기막(56)은 무기막(54) 위에 유기 물질을 전면 증착한 다음 마스크 공정을 이용하여 패터닝함으로써 형성된다. 그리고, 유기막(56)이 형성된 무기막(54) 상에 투명 도전막(58)이 증착된다.

<102> 특히, 기판(52)을 약 180도 이상으로 가열하면서 투명 도전막(58)을 형성하는 경우 도 4b에 도시된 바와 같이 투명 도전막(58)은 유기막(56) 위에 형성된 비정질 투명 도전막(60)과, 무기막(54) 위에 형성된 결정질 투명 도전막(62)으로 구분된다. 이는 박막이 조건에 따라 비정질 또는 비정질+결정질 또는 결정질로 성장하는 것을 이용한 것으로, 무기막(54)과 유기막(56) 위에서 투명 도전막(58)의 성장 조건이 다름으로 인하여 결정화율이 달라지기 때문이다.

<103> 상세히 하면, 투명 도전막(58)은 상온에서부터 약 180도의 기판 온도까지는 비정질을 형성하고, 그 이상의 온도에서는 결정질로 성장하게 된다. 또한, 기판 온도가 결정질로 성장하는 조건을 만족한 경우에도 투명 도전막(58)은 기판의 재질에 따라 비정질(또는

비정질+결정질)과 결정질로 성장하게 된다. 다시 말하여, 약 180도 이상의 기판 온도를 갖는 무기막(54) 위에서 투명 도전막(58)은 결정질로 성장하고, 유기막 패턴(56) 위에서 투명 도전막(58)은 비정질로 성장하게 된다. 이는 무기막(54)은 결정질 성장을 위한 시드(Seed) 형성이 용이하여 투명 도전막(58)의 결정화율이 높은 반면에, 유기막(56)은 결정질 성장을 위한 시드(Seed) 형성을 방해하는 수소(H)기를 상대적으로 많이 함유하고 있음에 따라 투명 도전막(58)의 결정화율이 낮기 때문이다.

<104> 또한, 투명 도전막(58)은 유기막(56) 위에 형성되는 경우에도 두께에 따라 비정질과 결정질로 성장하게 된다. 예를 들면, 투명 도전막(58)은 유기막(56) 위에서 약 500Å 이하의 두께까지는 비정질로 성장하고, 그 약 500Å 이상의 두께부터는 결정질로 성장하게 된다. 이에 따라, 투명 도전막(58)은 유기막(56) 위에서 비정질 구조를 갖게 하기 위해서는 약 500Å 이하의 두께로 형성하여야 한다.

<105> 이렇게 성장 조건에 따라 결정화율을 달리하여 비정질과 결정질로 성장되는 투명 도전막(58)으로 재료로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : T0) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO), SnO₂ 등이 이용된다.

<106> 그리고, 비정질용 에천트를 이용하여 투명 도전막(58)을 선택적으로 식각함으로써 도 4c에 도시된 바와 같이 결정질 투명 도전막(62)만 남도록 패터닝하게 된다. 예를 들면, 옥살산(Oxalic Acid; C₂H₂O₄)을 기본으로 하는 비정질용 에천트를 이용한 습식 식각 공정으로 유기막(56) 위의 비정질 투명 도전막(60)을 선택적으로 식각해내고, 무기막(54) 위의 결정질 투명 도전막(62)은 남아있게 한다. 이는 비

정질용 에천트에 대하여 비정질 투명 도전막(60)과 결정질 투명 도전막(62)이 서로 다른 식각 비를 가지고 있기 때문이다. 예를 들면 10% 이하의 둑은 옥살산에서 공정에 충분한 식각 선택 비를 얻을 수 있으며, 특히 옥살산을 3% ~ 5%를 함유하는 비정질용 에천트에 대하여 비정질 투명 도전막(60)과 결정질 투명 도전막(62)은 적어도 약 10배 이상의 식각 속도 차이를 갖게 된다.

<107> 이러한 비정질 에천트에 의해 유기막(56) 위의 비정질 투명 도전막(60)은 모두 식각되므로 무기막(54) 위에 남아 있는 결정질 투명 도전막(62)은 도 4c에 도시된 바와 같이 유기막(56)과 중첩없이 경계를 이루게 된다.

<108> 또한, 본 발명에 따른 투명 도전막의 패터닝 방법은 무기막(54) 위에 형성되는 결정질 투명 도전막(62)의 결정화를 촉진시키기 위하여 다음과 같이 결정화 촉매를 이용한다.

<109> 도 5a를 참조하면, 기판(52) 상에 형성된 무기막(54)의 특정 영역에 유기막(56)이 형성된다. 이 유기막(56)은 유기 물질을 전면 증착한 다음 포토리쏘그래피 공정으로 형성된 포토레지스트 패턴(64)을 마스크로 이용한 식각 공정으로 패터닝함으로써 형성된다. 그리고, 유기막(56) 위에 포토레지스트 패턴(64)이 남아있는 상태에서 결정화 촉매층(66)이 전면적으로 형성된다. 결정화 촉매층(66)으로는 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 등과 같은 내열성 금속(Refractory Metal)이 이용된다. 이러한 결정화 촉매층(66)의 금속 원자들은 성글게 형성되어 그 위에 형성되어질 투명 도전막의 결정화를 촉진시키기 위한 핵 생성 사이트를 만들게 된다.

<110> 그 다음, 도 5b에 도시된 바와 같이 포토레지스트 패턴(64)이 스트립 공정 또는 리프트-오프(Lift-off) 공정으로 제거된다. 이 경우, 포토레지스트 패턴(64)과 함께 그 위에 형성된

결정화 촉매층(66)도 제거된다. 이 결과, 결정화 촉매층(66)은 무기막(54) 위에만 잔존하게 된다.

<111> 이어서, 도 5c에 도시된 바와 같이 유기막(56)과, 결정화 촉매층(66)이 형성된 무기막(54) 상에 투명 도전막(58)이 증착된다. 이 경우, 기판(52)을 약 100도 이상으로 가열하면서 투명 도전막(58)을 증착시킴으로써 그 투명 도전막(58)이 유기막(56) 위에 형성된 비정질 투명 도전막(60)과, 무기막(54) 상에 형성된 결정질 투명 도전막(62)으로 구분된다. 여기서, 무기막(54) 위에는 결정화 촉매층(66)이 형성되어 있음에 따라 결정질 투명 도전막(62)의 결정화율은 더욱 빨라지게 된다. 이에 따라, 무기막(54) 위에 형성되는 결정질 투명 도전막(62)의 결정화도를 보다 높일 수 있게 된다. 또한, 결정화 촉매층(66)을 채용하는 경우 투명 도전막(58)의 결정화를 위한 기판(52)의 가열 온도를 약 180도에서 약 100도 정도까지 낮출 수 있게 된다.

<112> 그리고, 옥살산(Oxalic Acid; C₂H₂O₄)을 기본으로 하는 비정질용 에천트를 이용하여 투명 도전막(58)을 선택적으로 식각함으로써 도 5c와 같이 결정질 투명 도전막(62)만 남게 된다. 이 경우, 결정화 촉매층(66)에 의해 결정화도가 높아진 무기막(54) 위의 결정질 투명 도전막(62)과, 유기막(56) 위의 비정질 투명 도전막(60)은 더욱 큰 식각비 차이를 가지게 된다. 이에 따라, 결정질 투명 도전막(62)의 손상없이 비정질 투명 도전막(60)만을 안정적으로 제거할 수 있게 된다.

<113> 이와 같이, 본 발명에 따른 투명 도전막의 패터닝 방법은 투명 도전막을 유기막 위에서 비정질로, 무기막 위에서는 결정질로 성장되게 함으로써 비정질 에천트를 이용하여 유기막 위의 비정질 투명 도전막을 선택적으로 식각해낼 수 있게 된다. 또한, 본 발명에 따른 투명 도전막의 패터닝 방법은 결정화 촉매층을 채용하여 결정질 투명 도전막의 결정화도를 더욱 높

임으로써 투명 도전막 패터닝 공정의 안정성을 확보할 수 있게 된다. 이에 따라, 본 발명에 따른 투명 도전막의 패터닝 방법은 마스크를 이용한 포토리쏘그래피 공정 없이도 투명 도전막은 패터닝할 수 있으므로 제조 공정을 단순화할 수 있게 된다.

<114> 나아가, 본 발명에 따른 투명 도전막의 패터닝 방법을 이용하는 경우 패터닝된 투명 도전을 이용하는 표시 소자의 제조 공정에서는 하나의 마스크를 이용한 포토리쏘그래피 공정을 줄일 수 있게 된다. 예를 들면, 적어도 4개의 마스크 공정을 필요로 하는 액정 표시 장치의 박막 트랜지스터 기판의 제조 공정에서 전술한 투명 도전막의 선택적 식각 방법을 이용하는 경우 투명 도전막의 패터닝을 위한 마스크 공정이 필요없게 되므로 제조 공정수를 3개의 마스크 공정으로 줄일 수 있게 된다.

<115> 도 6은 전술한 투명 도전막의 패터닝 방법이 적용된 본 발명의 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 7은 도 6에 도시된 박막 트랜지스터 기판을 II-II'선과, III-III'선을 따라 절단하여 도시한 단면도이다.

<116> 도 6 및 도 7에 도시된 박막 트랜지스터 기판은 하부 기판(150) 위에 게이트 절연막(152)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 박막 트랜지스터(106)와, 그 교차 구조로 마련된 화소 영역에 형성된 화소 전극(118)을 구비한다. 그리고, 박막 트랜지스터 기판은 화소 전극(118)과 접속된 스토리지 상부 전극(122)과 전단 게이트 라인(102)의 중첩부에 형성된 스토리지 캐패시터(120)와, 게이트 라인(102)에 접속되는 게이트 패드부(126)와, 데이터 라인(104)에 접속되는 데이터 패드부(134)를 구비한다.

<117> 박막 트랜지스터(106)는 게이트 라인(102)에 공급되는 스캔 신호에 응답하여 데이터 라인(104)에 공급되는 화소 신호가 화소 전극(118)에 충전되어 유지되게 한다. 이를 위하여, 박

막 트랜지스터(106)는 게이트 라인(102)에 포함된 게이트 전극과, 데이터 라인(104)과 접속된 소스 전극(110)과, 소스 전극(110)과 대향하게 위치하여 화소 전극(118)과 접속된 드레인 전극(112)과, 게이트 라인(102)과 중첩되는 게이트 절연막(152) 위에 소스 전극(110)과 드레인 전극(112)과 중첩되게 형성되어 채널(114)을 형성하는 활성층(154)을 구비한다.

<118> 또한, 활성층(154)은 데이터 라인(104), 데이터 패드 하부 전극(136), 그리고, 스토리지 상부 전극(122)과 중첩되게 형성된다. 이러한 활성층(154) 위에는 소스 전극(110), 드레인 전극(112), 데이터 라인(104), 데이터 패드 하부 전극(136), 그리고 스토리지 상부 전극(122)과 오믹 접촉을 위한 오믹 접촉층(156)이 더 형성된다.

<119> 화소 전극(118)은 박막 트랜지스터(106)의 드레인 전극(112)과 접속된다. 구체적으로, 화소 전극(118)은 드레인 전극(112)의 돌출부와 측면 접속하게 된다. 이 경우, 화소 전극(118)과 드레인 전극(112)의 측면 접속 면적을 증가시키기 위하여 드레인 전극(112)의 돌출부는 적어도 한 번 절곡된 형태를 가지게 된다. 화소 전극(118)은 충전된 화소 신호에 의해 도시하지 않은 칼라 필터 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 칼라 필터 기판에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(118)을 경유하여 입사되는 광을 칼라 필터 기판 쪽으로 투과시키게 된다.

<120> 스토리지 캐패시터(120)는 전단 게이트 라인(102)과, 그 게이트 라인(102)과 게이트 절연막(152), 활성층(154) 및 오믹 접촉층(156)을 사이에 두고 중첩되며 화소 전극(118)과 접속된 스토리지 상부 전극(122)으로 구성된다. 여기서, 화소 전극(118)은 스토리지 상부 전극(122)과 측면 접속한다. 이러한 구성을 갖는 스토리지 캐패시터(120)는 화소 전극(118)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

<121> 게이트 라인(102)은 게이트 패드부(126)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(126)는 게이트 라인(102)으로부터 연장되는 게이트 패드 하부 전극(128)과, 게이트 패드 하부 전극(128) 위에 접속된 게이트 패드 상부 전극(132)으로 구성된다. 여기서, 게이트 패드 상부 전극(132)은 유기 보호막(158)과 게이트 절연막(152)을 관통하여 형성된 제1 컨택홀(164) 내에 형성된다.

<122> 데이터 라인(102)은 데이터 패드부(134)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(134)는 데이터 라인(102)으로부터 연장되는 데이터 패드 하부 전극(136)과, 데이터 패드 하부 전극(136)과 접속된 데이터 패드 상부 전극(140)으로 구성된다. 또한, 데이터 패드부(134)는 데이터 패드 하부 전극(136)과 하부 기판(150) 사이에 형성된 게이트 절연막(152), 활성층(154), 그리고 오믹 접촉층(156)을 더 포함한다. 이러한 데이터 패드부(134)에서 데이터 패드 상부 전극(140)은 유기 보호막(158)과 데이터 패드 하부 전극(136)을 관통하여 형성된 제2 컨택홀(162) 내에 형성되므로 데이터 패드 하부 전극(136)과는 측면 접속하게 된다.

<123> 화소 전극(118)과 게이트 패드 상부 전극(132) 및 데이터 패드 상부 전극(140)은 투명 도전 물질로 이루어지고, 유기 보호막(158)은 유기 물질로 이루어진다. 이러한 박막 트랜지스터 기판은 전술한 투명 도전막 선택적 식각 방법을 이용하므로 상기 화소 전극(118), 게이트 패드 상부 전극(132) 및 데이터 패드 상부 전극(140)을 포함하는 투명 도전 패턴은 유기 보호막(158)과 중첩없이 경계를 이루며 형성된다.

<124> 도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

<125> 제1 마스크 공정으로 하부 기판(150) 상에 게이트 라인(102)과, 게이트 패드 하부 전극(128)을 포함하는 게이트 금속 패턴이 형성된다.

<126> 상세히 하면, 하부 기판(88) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(102), 게이트 패드 하부 전극(128)을 포함하는 게이트 금속 패턴이 형성된다. 여기서, 게이트 금속으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용된다.

<127> 도 9a 내지 도 9d는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도들을 도시한 것이다. 여기서, 도 9b 내지 도 9d는 제2 마스크 공정을 단계적으로 도시한다.

<128> 우선, 게이트 금속 패턴이 형성된 하부 기판(150) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(152)이 전면 형성된다. 게이트 절연막(152)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연 물질이 이용된다.

<129> 그리고, 제2 마스크 공정으로 게이트 절연막(152) 위에 적층된 활성층(154) 및 오믹 접촉층(156)을 포함하는 반도체 패턴과; 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 데이터 패드 하부 전극(136), 스토리지 전극(122)을 포함하는 소스/드레인 금속 패턴이 형성된다.

<130> 상세히 하면, 게이트 절연막(152) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 비정질 실리콘층, n⁺ 비정질 실리콘층, 소스/드레인 금속층이 순차적으로 형성된다. 소스/드레인 금속으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용된다.

<131> 이어서, 소스/드레인 금속층 위에 포토레지스트를 전면 도포한 다음 부분 노광 마스크인 제2 마스크를 이용한 포토리쏘그래피 공정으로 도 9b에 도시된 바와 같이 단차를 갖는 포토레지스트 패턴(160)이 형성된다. 이 경우, 제2 마스크로는 박막 트랜지스터의 채널(114)이 형성될 부분에서 회절 노광부(또는 반투과부)를 갖는 부분 노광 마스크를 이용한다. 이에 따라, 제2 마스크의 회절 노광부(또는 반투과부)와 대응하는 포토레지스트 패턴(160A)은 제2 마스크의 투과부(또는 차단부)와 대응하는 포토레지스트 패턴(160B) 보다 낮은 높이를 갖게 된다. 다시 말하여, 채널 부분의 포토레지스트 패턴(160A)이 다른 소스/드레인 금속 패턴 부분의 포토레지스트 패턴(160B) 보다 낮은 높이를 갖게 된다.

<132> 이러한 포토레지스트 패턴(160)을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 도 9b에 도시된 바와 같이 데이터 라인(104), 박막 트랜지스터부의 소스/드레인 금속 패턴(111), 스토리지 상부 전극(122)을 포함하는 소스/드레인 금속 패턴이 형성된다.

<133> 또한, 동일한 포토레지스트 패턴(160)을 이용한 건식 식각 공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 도 9b에 도시된 바와 같이 오믹 접촉층(154)과 활성층(156)이 상기 소스/드레인 금속 패턴을 따라 형성된 구조를 갖게 된다.

<134> 그 다음, 산소(O_2) 플라즈마를 이용한 애싱(Ashing) 공정으로 도 9c에 도시된 바와 같이 상대적으로 낮은 높이를 갖는 채널 부분의 포토레지스트 패턴(160A)은 제거되고, 다른 소스/드레인 금속 패턴 부분의 포토레지스트 패턴(160B)은 높이가 낮아지게 된다.

<135> 이렇게 남아 있는 포토레지스트 패턴(160B)를 이용한 건식 식각 공정으로 도 9d에 도시된 바와 같이 채널(114)이 형성될 부분에서 소스/드레인 금속 패턴(111) 및 오믹 접촉층(156)이 식각됨으로써 소스 전극(110)과 드레인 전극(112)이 서로 분리되고 활성층(154)이 노출된다

이에 따라, 소스 전극(110)과 드레인 전극(112) 사이에는 활성층(154)으로 이루어진 채널(114)이 형성된다.

<136> 그리고, 스트립 공정으로 소스/드레인 금속 패턴 부분에 남아 있던 포토레지스트 패턴(160B)이 모두 제거된다.

<137> 도 10a 및 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

<138> 제3 마스크 공정으로 박막 트랜지스터 기판의 최상부층에 유기 보호막(158)이 형성되고 그 유기 보호막(158)과 함께 게이트 절연막(152)이 패터닝된다.

<139> 상세히 하면, 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(152) 상에 유기 보호막(158)이 전면 코팅된다. 유기 보호막(158)의 재료로는 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFBCB 등과 같은 유기 절연 물질이 이용된다.

<140> 이어서, 유기 보호막(158)과 그 아래의 게이트 절연막(152)이 제3 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 패터닝된다. 이에 따라, 후속 공정에서 화소 전극(118)이 형성될 화소 영역은 유기 보호막(158) 및 게이트 절연막(152)이 제거되어 기판(150)이 노출된 구조를 가지게 된다. 그리고, 게이트 패드부는 유기 보호막(158) 및 게이트 절연막(152)을 관통하는 제1 컨택홀(164)이 형성되어 게이트 패드 하부 전극(128)이 노출된 구조를 가지게 된다. 또한, 데이터 패드부는 유기 보호막(158)을 관통하는 제2 컨택홀(162)이 형성된 구조를 가지게 된다. 여기서, 데이터 패드 하부 전극(140)이 몰리브덴(Mo)으로 이루어진 경우 상기 제2 컨택홀(162)을 형성할 때 유기 보호막(158)과 함께 식각되므로 제2 컨택홀(162)은 유기 보호막(158) 및 데이터 패드 하부 전극(136)을 관통하여 데이터 패드 하부 전극(136)의 측면이

노출되게 한다. 나아가, 제2 컨택홀(162)은 데이터 패드 하부 전극(136) 아래의 오믹 접촉층(156)을 더 관통하여 활성층(154)까지 부분적으로 식각되게 하고, 그 부분적으로 식각된 활성층(154)이 노출되게 한다. 이 경우, 데이터 패드 하부 전극(136)의 식각율이 게이트 절연막(152)의 식각율 보다 낮으므로 데이터 패드부의 게이트 절연막(152)은 식각되지 않게 된다.

<141> 도 11a 및 도 11b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 투명 도전막(166)의 증착공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

<142> 성장 조건에 따라 결정화율을 달리하여 비정질 투명 도전막(166B)과 결정질 투명 도전막(166A)으로 구분된 투명 도전막(166)을 형성한다.

<143> 상세히 하면, 최상부층에 유기 보호막(158)이 형성된 박막 트랜지스터 기판 상에 투명 도전막(166)이 스퍼터링 등과 같은 증착 방법으로 형성된다. 이 경우, 박막 트랜지스터 기판을 약 100 ~ 200도 범위의 기판 온도로 가열함으로써 유기 보호막(158) 위의 투명 도전막(166B)은 비정질로 형성되게 하고, 기판(150) 및 게이트 절연막(152), 소스/드레인 금속 패턴, 반도체 패턴을 포함하는 무기물 위의 투명 도전막(166A)은 결정질로 형성되게 한다. 이 결과, 화소 전극이 형성되어질 화소 영역과 게이트 패드부의 제1 컨택홀(164) 및 데이터 패드부의 제2 컨택홀(162)을 포함하는 무기물 영역에는 결정질 투명 도전막(166A)이 형성되고, 나머지 영역인 유기 보호막(158)의 상부에는 비정질 투명 도전막(166B)이 형성된다. 또한, 유기 보호막(158) 위의 투명 도전막(166B)이 비정질에서 결정질로 성장하는 것을 방지하기 위하여 투명 도전막(166)은 약 500Å 이하의 두께로 형성된다.

<144> 이러한 투명 도전막(166)으로 재료로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : T0) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO), SnO₂ 등이 이용된다.

<145> 도 12a 및 도 12b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 투명 도전막(166)의 선택적 식각 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

<146> 투명 도전막(166)의 선택적 식각 공정으로 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 상부 전극(140)을 포함하는 투명 도전 패턴이 형성된다.

<147> 상세히 하면, 결정질 투명 도전막(166A)과 비정질 투명 도전막(166B)으로 구분되어 형성된 투명 도전막(166)을 비정질용 에천트를 이용하여 비정질 투명 도전막(166B)만을 선택적으로 식각해낸다. 예를 들면 10% 이하의 묽은 옥살산, 특히 3% ~ 5%의 옥살산(Oxalic Acid; $C_2H_2O_4$)을 기본으로 함유하는 비정질용 에천트를 이용한 습식 식각 공정으로 유기 보호막(158) 위의 비정질 투명 도전막(166B)을 선택적으로 식각해내고, 결정질 투명 도전막(166A)은 남아있게 한다.

<148> 이에 따라, 결정질 투명 도전막(166A)으로 이루어진 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 하부 전극(140)이 형성된다. 화소 전극(118)은 화소 영역에 형성되어 드레인 전극(112) 및 스토리지 상부 전극(122)과 측면 접속한다. 게이트 패드 상부 전극(132)은 게이트 패드부(126)의 제1 컨택홀(162) 내에 형성되어 게이트 패드 하부 전극(128)과 면 컨택한다. 데이터 패드 상부 전극(140)은 데이터 패드부(134)의 제2 컨택홀(164) 내에 형성되어 데이터 패드 하부 전극(136)과 측면 접속한다.

<149> 이러한 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 상부 전극(140)을 포함하는 결정질 투명 도전막(166B), 즉 투명 도전막 패턴은 도 11b에 도시된 바와 같이 유기 보호막(158)과 중첩없이 경계를 이루게 된다.

<150> 도 13a 내지 도 13d는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판의 제조 방법을 설명하기 위한 것으로서, 특히 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들을 도시한 것이다.

<151> 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기판의 제조 방법은 전술한 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법과 대비하여 투명 도전막의 결정화율을 촉진시키기 위한 결정화 측매층(182)을 형성하는 단계를 추가적으로 포함하는 것으로, 제1 및 제2 마스크 공정은 전술한 바와 같다.

<152> 도 13a를 참조하면, 제3 마스크 공정으로 박막 트랜지스터 기판의 최상부층에 유기 보호막(158)이 형성되고 그 유기 보호막(158)과 함께 게이트 절연막(152)이 패터닝된다.

<153> 상세히 하면, 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(152) 상에 유기 보호막(158)이 전면 코팅된다. 이어서, 유기 보호막(158)과 그 아래의 게이트 절연막(152)은 제3 마스크를 채용한 포토리쏘그래피 공정으로 형성된 포토레지스트 패턴(180)을 이용한 식각 공정으로 패터닝된다. 이에 따라, 후속 공정에서 화소 전극(118)이 형성될 화소 영역은 유기 보호막(158) 및 게이트 절연막(152)이 제거되어 기판(150)이 노출된 구조를 가지게 된다. 그리고, 게이트 패드부는 유기 보호막(158) 및 게이트 절연막(152)을 관통하는 제1 컨택홀(164)이 형성되어 게이트 패드 하부 전극(128)이 노출된 구조를 가지게 된다. 또한, 데이터 패드부는 유기 보호막(158)을 관통하는 제2 컨택홀(162)이 형성되어 데이터 패드 하부 전극(136)의 측면이 노출된 구조를 가지게 된다.

<154> 그 다음, 상기 포토레지스트 패턴(180)이 남아 있는 박막 트랜지스터 기판 상에 결정화 측매층(182)이 전면적으로 형성된다. 결정화 측매층(182)으로는 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 등과 같은 내열성 금속이 이용된다. 이러한 결정화 측매층(182)의 금속 원자들은 성글

게 형성되어 그 위에 형성되어질 투명 도전막의 결정화를 촉진시키기 위한 핵 생성 사이트를 만들게 된다.

<155> 도 13b를 참조하면, 포토레지스트 패턴(180)이 그 위에 형성된 결정화 촉매층(182)과 함께 스트립 공정 또는 리프트-오프(Lift-off) 공정을 통해 제거된다. 이에 따라, 박막 트랜지스터 기판에서 유기 보호막(158)을 제외한 나머지 영역, 즉 무기물 영역에만 결정화 촉매층(182)이 남아 있게 된다.

<156> 도 13c를 참조하면, 유기 보호막(158) 및 결정화 촉매층(182) 위에 비정질 투명 도전막(166B)과 결정질 투명 도전막(166A)으로 구분된 투명 도전막(166)이 형성된다.

<157> 상세히 하면, 최상부층에 유기 보호막(158)이 형성된 박막 트랜지스터 기판 상에 투명 도전막(166)이 스퍼터링 등과 같은 증착 방법으로 형성된다. 이 경우, 박막 트랜지스터 기판을 약 100 ~ 200도 범위의 기판 온도로 가열함으로써 유기 보호막(158) 위의 투명 도전막(166B)은 비정질로 형성된다. 그리고, 결정화 촉매층(182)이 형성된 기판(150) 및 게이트 절연막(152), 소스/드레인 금속 패턴, 반도체 패턴을 포함하는 무기물 위의 투명 도전막(166A)은 결정질로 형성된다. 이 결과, 화소 전극이 형성되어질 화소 영역과 게이트 패드부의 제1 컨택홀(164) 및 데이터 패드부의 제2 컨택홀(162)을 포함하는 무기물 영역에는 결정질 투명 도전막(166A)이 형성되고, 나머지 영역인 유기 보호막(158)의 상부에는 비정질 투명 도전막(166B)이 형성된다. 여기서, 결정질 투명 도전막(166A)은 결정화 촉매층(182)에 의해 결정화율이 촉진됨으로써 보다 높은 결정화도를 갖게 된다. 또한, 유기 보호막(158) 위의 투명 도전막(166B)이 비정질에서 결정질로 성장하는 것을 방지하기 위하여 투명 도전막(166)은 약 500Å 이하의 두께로 형성된다.

<158> 도 13d를 참조하면, 투명 도전막(166)의 선택적 식각 공정으로 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 상부 전극(140)을 포함하는 투명 도전 패턴이 형성된다.

<159> 상세히 하면, 결정질 투명 도전막(166A)과 비정질 투명 도전막(166B)으로 구분되어 형성된 투명 도전막(166)을 10% 이하의 묽은 옥살산을 함유하는 비정질용 에천트를 이용하여 비정질 투명 도전막(166B)만을 선택적으로 식각해내고, 결정질 투명 도전막(166A)은 남아있게 한다. 이에 따라, 결정질 투명 도전막(166A)으로 이루어진 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 하부 전극(140)이 형성된다. 이러한 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 상부 전극(140)을 포함하는 결정질 투명 도전막(166B), 즉 투명 도전막 패턴은 도 13d에 도시된 바와 같이 유기 보호막(158)과 중첩없이 경계를 이루게 된다. 그리고, 상기 결정질 투명 도전막(166A)은 결정화 측매층(182)에 의해 보다 높은 결정화도를 갖음에 따라 비정질 투명 도전막(166B)과 큰 식각비 차이를 갖게 되므로 비정질용 에천트에 의한 손상없이 안정적으로 남아있게 된다.

<160> 도 14는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 15은 도 14에 도시된 박막 트랜지스터 기판을 IV-IV'선과, V-V'선을 따라 절단하여 도시한 단면도이다.

<161> 도 14 및 도 15에 도시된 박막 트랜지스터 기판은 전술한 도 6 및 도 7에 도시된 박막 트랜지스터 기판과 대비하여 보호막(274)이 유기 보호막(258)과 무기 보호막(272)의 이중 구조로 구성된 것과, 투명 도전 패턴이 무기 보호막(272)의 측면까지 신장된 것을 제외하고는 동일한 구성 요소들을 구비한다. 이에 따라, 중복되는 구성 요소들에 대해서는 간단히 설명하기로 한다.

<162> 박막 트랜지스터(206)는 게이트 라인(202)에 포함된 게이트 전극과, 데이터 라인(204)과 접속된 소스 전극(210)과, 소스 전극(210)과 대향하게 위치하여 화소 전극(218)과 접속된 드레인 전극(212)과, 게이트 라인(202)과 중첩되는 게이트 절연막(252) 위에 소스 전극(210)과 드레인 전극(212)과 중첩되게 형성되어 채널(214)을 형성하는 활성층(254)을 구비한다.

<163> 또한, 활성층(254)은 데이터 라인(204), 데이터 패드 하부 전극(236), 그리고 스토리지 상부 전극(222)과 중첩되게 형성된다. 이러한 활성층(254) 위에는 소스 전극(210), 드레인 전극(212), 데이터 라인(204), 데이터 패드 하부 전극(236), 그리고 스토리지 상부 전극(222)과 오믹 접촉을 위한 오믹 접촉층(256)이 더 형성된다.

<164> 스토리지 캐패시터(220)는 전단 게이트 라인(202)과, 그 게이트 라인(202)과 게이트 절연막(252), 활성층(254) 및 오믹 접촉층(256)을 사이에 두고 중첩되며 화소 전극(218)과 접속된 스토리지 상부 전극(222)으로 구성된다.

<165> 게이트 패드부(226)는 게이트 라인(202)으로부터 연장되는 게이트 패드 하부 전극(228)과, 게이트 패드 하부 전극(228) 위에 접속된 게이트 패드 상부 전극(232)으로 구성된다. 여기서, 게이트 패드 상부 전극(232)은 보호막(274)과 게이트 절연막(252)을 관통하여 형성된 제1 컨택홀(264) 내에 형성된다.

<166> 데이터 패드부(234)는 데이터 라인(202)으로부터 연장되는 데이터 패드 하부 전극(236)과, 데이터 패드 하부 전극(236)과 접속된 데이터 패드 상부 전극(240)으로 구성된다. 또한, 데이터 패드부(234)는 데이터 패드 하부 전극(236)과 하부 기판(250) 사이에 형성된 게이트 절연막(252), 활성층(254), 그리고 오믹 접촉층(256)을 더 포함한다. 이러한 데이터 패드부(234)에서 데이터 패드 상부 전극(240)은 보호막(274)과 데이터 패드 하부 전극(236)을 관통하

여 형성된 제2 컨택홀(262) 내에 형성되므로 데이터 패드 하부 전극(236)과는 측면 접속하게 된다.

<167> 보호막(274)은 무기 보호막(272)과 유기 보호막(258)이 적층된 이중 구조를 갖는다. 여기서, 무기 보호막(272)은 상기 화소 전극(218)과 게이트 패드 상부 전극(232) 및 데이터 패드 상부 전극(240)을 포함하는 투명 도전 패턴이 그 무기 보호막(272)의 측면까지 도포되게 한다. 이에 따라, 무기 보호막(272)은 전술한 투명 도전막의 선택적 식각 방법에 의해 유기 보호막(258)과 중첩없이 경계를 이루며 형성되는 투명 도전 패턴과의 경계부를 통해 소스/드레인 금속 패턴이 노출되는 불량을 방지한다.

<168> 도 16a 내지 도 16c는 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들을 도시한 것이다.

<169> 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 및 제2 마스크 공정은 전술한 바와 같다.

<170> 도 16a를 참조하면, 제3 마스크 공정으로 박막 트랜지스터 기판의 최상부층에 무기 보호막(272)과 유기 보호막(258)으로 구성된 보호막(274)이 형성되고 그 보호막(274)과 함께 게이트 절연막(252)이 패터닝된다.

<171> 상세히 하면, 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(252) 상에 무기 보호막(272)이 PECVD 등의 증착 방법으로 전면 형성되고,

그 위에 유기 보호막(258)이 전면 코팅된다. 무기 보호막(272)의 재료로는 게이트 절연막(252)과 동일한 물질이 이용되고, 유기 보호막(258)의 재료로는 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.

<172> 이어서, 보호막(274)과 그 아래의 게이트 절연막(252)이 제3 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 패터닝된다. 이에 따라, 후속 공정에서 화소 전극(218)이 형성될 화소 영역은 보호막(274) 및 게이트 절연막(252)이 제거되어 기판(250)이 노출된 구조를 가지게 된다. 그리고, 게이트 패드부는 보호막(274) 및 게이트 절연막(252)을 관통하는 제1 컨택홀(264)이 형성되어 게이트 패드 하부 전극(228)이 노출된 구조를 가지게 된다. 또한, 데이터 패드부는 보호막(274)과 데이터 패드 하부 전극(236) 및 오믹 접촉층(256)을 관통하는 제2 컨택홀(258)이 형성되어 활성층(254)이 노출된 구조를 가지게 된다.

<173> 도 16b를 참조하면, 성장 조건에 따라 결정화율을 달리하여 비정질 투명 도전막(266B)과 결정질 투명 도전막(266A)으로 구분된 투명 도전막(266)이 형성된다.

<174> 상세히 하면, 최상부층에 유기 보호막(258)이 형성된 박막 트랜지스터 기판 상에 투명 도전막(266)이 스퍼터링 등과 같은 증착 방법으로 형성된다. 이 경우, 박막 트랜지스터 기판을 약 100 ~ 200도 범위의 기판 온도로 가열함으로써 유기 보호막(258) 위의 투명 도전막(266B)은 비정질로 형성되게 하고, 기판(250) 및 게이트 절연막(252), 소스/드레인 금속 패턴, 반도체 패턴, 그리고 무기 보호막(272)을 포함하는 무기물 위의 투명 도전막(266A)은 결정질로 형성되게 한다. 또한, 유기 보호막(258) 위의 투명 도전막(266B)이 비정질에서 결정질로 성장하는 것을 방지하기 위하여 투명 도전막(266)은 약 500Å 이하의 두께로 형성된다.

<175> 이러한 투명 도전막(266)으로 재료로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO), SnO₂ 등이 이용된다.

<176> 도 16c를 참조하면, 투명 도전막(266)의 선택적 식각 공정으로 화소 전극(218), 게이트 패드 상부 전극(232), 데이터 패드 상부 전극(240)을 포함하는 투명 도전 패턴이 형성된다.

<177> 상세히 하면, 결정질 투명 도전막(266A)과 비정질 투명 도전막(266B)으로 구분되어 형성된 투명 도전막(266)을 비정질용 에천트를 이용하여 비정질 투명 도전막(266B)만을 선택적으로 식각해낸다. 예를 들면 10% 이하의 맑은 옥살산, 특히 3% ~ 5%의 옥살산(Oxalic Acid; C₂H₂O₄)을 기본으로 함유하는 비정질용 에천트를 이용한 습식 식각 공정으로 유기 보호막(258) 위의 비정질 투명 도전막(266B)을 선택적으로 식각해내고, 결정질 투명 도전막(266A)은 남아있게 한다.

<178> 이에 따라, 결정질 투명 도전막(266A)으로 이루어진 화소 전극(218), 게이트 패드 상부 전극(232), 데이터 패드 하부 전극(240)이 형성된다. 이러한 화소 전극(218), 게이트 패드 상부 전극(232), 데이터 패드 상부 전극(240)을 포함하는 결정질 투명 도전막(266B), 즉 투명 도전막 패턴은 무기 보호막(272)의 측면까지 도포되어 유기 보호막(258)과 중첩없이 경계를 이루게 된다.

<179> 도 17a 내지 도 17d는 본 발명의 제4 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들을 도시한 것이다.

<180> 본 발명의 제4 실시 예에 따른 박막 트랜지스터 기판의 제조 방법은 전술한 본 발명의 제3 실시 예에 따른 박막 트랜지스터 기판의 제조 방법과 대비하여 투명 도전막의 결정화율을 촉진시키기 위한 결정화 측매층(282)을 형성하는 단계를 추가적으로 포함하는 것으로, 제1 및 제2 마스크 공정은 전술한 바와 같다.

<181> 도 17a를 참조하면, 제3 마스크 공정으로 박막 트랜지스터 기판의 최상부층에 무기 보호막(272)과 유기 보호막(258)으로 구성된 보호막(274)이 형성되고 그 보호막(274)과 함께 게이트 절연막(252)이 패터닝된다.

<182> 상세히 하면, 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(252) 상에 무기 보호막(272)이 PECVD 등의 증착 방법으로 전면 형성되고, 그 위에 유기 보호막(258)이 전면 코팅된다. 이어서, 보호막(274)과 그 아래의 게이트 절연막(252)은 제3 마스크를 채용한 포토리쏘그래피 공정으로 형성된 포토레지스트 패턴(280)을 이용한 식각 공정으로 패터닝된다. 이에 따라, 후속 공정에서 화소 전극(218)이 형성될 화소 영역은 보호막(274) 및 게이트 절연막(252)이 제거되어 기판(250)이 노출된 구조를 가지게 된다. 그리고, 게이트 패드부는 보호막(274) 및 게이트 절연막(252)을 관통하는 제1 컨택홀(264)이 형성되어 게이트 패드 하부 전극(228)이 노출된 구조를 가지게 된다. 또한, 데이터 패드부는 보호막(274)과 데이터 패드 하부 전극(236) 및 오믹 접촉층(256)을 관통하는 제2 컨택홀(258)이 형성되어 활성층(254)이 노출된 구조를 가지게 된다.

<183> 그 다음, 상기 포토레지스트 패턴(280)이 남아 있는 박막 트랜지스터 기판 상에 결정화 측매층(282)이 전면적으로 형성된다. 결정화 측매층(282)으로는 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 등과 같은 내열성 금속이 이용된다. 이러한 결정화 측매층(282)의 금속 원자들은 성글

게 형성되어 그 위에 형성되어질 투명 도전막의 결정화를 촉진시키기 위한 핵 생성 사이트를 만들게 된다.

<184> 도 17b를 참조하면, 포토레지스트 패턴(280)이 그 위에 형성된 결정화 촉매층(282)과 함께 스트립 공정 또는 리프트-오프(Lift-off) 공정을 통해 제거된다. 이에 따라, 박막 트랜지스터 기판에서 유기 보호막(258)을 제외한 나머지 영역, 즉 무기물 영역에만 결정화 촉매층(282)이 남아 있게 된다.

<185> 도 17c를 참조하면, 유기 보호막(258) 및 결정화 촉매층(282) 위에 비정질 투명 도전막(166B)과 결정질 투명 도전막(166A)으로 구분된 투명 도전막(166)이 형성된다.

<186> 상세히 하면, 최상부층에 유기 보호막(258)이 형성된 박막 트랜지스터 기판 상에 투명 도전막(266)이 스퍼터링 등과 같은 증착 방법으로 형성된다. 이 경우, 박막 트랜지스터 기판을 약 100 ~ 200도 범위의 기판 온도로 가열함으로써 유기 보호막(258) 위의 투명 도전막(266B)은 비정질로 형성된다.

<187> 그리고, 결정화 촉매층(282)이 형성된 기판(250) 및 게이트 절연막(252), 소스/드레인 금속 패턴, 반도체 패턴, 그리고 무기 보호막(272)을 포함하는 무기물 위의 투명 도전막(266A)은 결정질로 형성된다. 이 결과, 화소 전극이 형성되어질 화소 영역과 게이트 패드부의 제1 컨택홀(264) 및 데이터 패드부의 제2 컨택홀(262)을 포함하는 무기물 영역에는 결정질 투명 도전막(266A)이 형성되고, 나머지 영역인 유기 보호막(258)의 상부에는 비정질 투명 도전막(266B)이 형성된다. 여기서, 결정질 투명 도전막(266A)은 결정화 촉매층(282)에 의해 결정화율이 촉진됨으로써 보다 높은 결정화도를 갖게 된다. 또한, 유기 보호막(258) 위의 투명 도전막(266B)이 비정질에서 결정질로 성장하는 것을 방지하기 위하여 투명 도전막(266)은 약 500 Å 이하의 두께로 형성된다.

<188> 도 17d를 참조하면, 투명 도전막(266)의 선택적 식각 공정으로 화소 전극(218), 게이트 패드 상부 전극(232), 데이터 패드 상부 전극(240)을 포함하는 투명 도전 패턴이 형성된다.

<189> 상세히 하면, 결정질 투명 도전막(266A)과 비정질 투명 도전막(266B)으로 구분되어 형성된 투명 도전막(266)을 10% 이하의 둑은 옥살산을 함유하는 비정질용 에체트를 이용하여 비정질 투명 도전막(266B)만을 선택적으로 식각해내고, 결정질 투명 도전막(266A)은 남아있게 한다. 이에 따라, 결정질 투명 도전막(266A)으로 이루어진 화소 전극(218), 게이트 패드 상부 전극(232), 데이터 패드 하부 전극(240)이 형성된다. 이러한 화소 전극(218), 게이트 패드 상부 전극(232), 데이터 패드 상부 전극(240)을 포함하는 결정질 투명 도전막(266B), 즉 투명 도전막 패턴은 무기 보호막(272)의 측면까지 도포되어 유기 보호막(258)과 중첩없이 경계를 이루게 된다. 그리고, 상기 결정질 투명 도전막(266A)은 결정화 측매층(282)에 의해 보다 높은 결정화도를 갖음에 따라 비정질 투명 도전막(266B)과 큰 식각비 차이를 갖게 되므로 비정질용 에체트에 의한 손상없이 안정적으로 남아있게 된다.

<190> 도 18는 본 발명의 제5 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 19은 도 18에 도시된 박막 트랜지스터 기판을 VI-VI'선과, VII-VII'선을 따라 절단하여 도시한 단면도이다.

<191> 도 18 및 도 19에 도시된 박막 트랜지스터 기판은 전술한 도 14 및 도 15에 도시된 박막 트랜지스터 기판과 대비하여 보호막이 무기 보호막(372)의 단일층 구조로 된 것을 제외하고는 동일한 구성 요소들을 구비한다. 이에 따라, 중복되는 구성 요소들에 대해서 간단히 설명하기로 한다.

<192> 박막 트랜지스터(306)는 게이트 라인(302)에 포함된 게이트 전극과, 데이터 라인(304)과 접속된 소스 전극(310)과, 소스 전극(310)과 대향하게 위치하여 화소 전극(318)과 접속된 드

레인 전극(312)과, 게이트 라인(302)과 중첩되는 게이트 절연막(352) 위에 소스 전극(310)과 드레인 전극(312)과 중첩되게 형성되어 채널(314)을 형성하는 활성층(354)을 구비한다.

<193> 또한, 활성층(354)은 데이터 라인(304), 데이터 패드 하부 전극(336), 그리고 스토리지 상부 전극(322)과 중첩되게 형성된다. 이러한 활성층(354) 위에는 소스 전극(310), 드레인 전극(312), 데이터 라인(304), 데이터 패드 하부 전극(336), 그리고 스토리지 상부 전극(322)과 오믹 접촉을 위한 오믹 접촉층(356)이 더 형성된다.

<194> 스토리지 캐퍼시터(320)는 전단 게이트 라인(302)과, 그 게이트 라인(302)과 게이트 절연막(352), 활성층(354) 및 오믹 접촉층(356)을 사이에 두고 중첩되며 화소 전극(318)과 접속된 스토리지 상부 전극(322)으로 구성된다.

<195> 게이트 패드부(326)는 게이트 라인(302)으로부터 연장되는 게이트 패드 하부 전극(328)과, 게이트 패드 하부 전극(328) 위에 접속된 게이트 패드 상부 전극(332)으로 구성된다. 여기서, 게이트 패드 상부 전극(332)은 무기 보호막(372)과 게이트 절연막(352)을 관통하여 형성된 제1 컨택홀(364) 내에 형성된다.

<196> 데이터 패드부(334)는 데이터 라인(302)으로부터 연장되는 데이터 패드 하부 전극(336)과, 데이터 패드 하부 전극(336)과 접속된 데이터 패드 상부 전극(340)으로 구성된다. 또한, 데이터 패드부(334)는 데이터 패드 하부 전극(336)과 하부 기판(350) 사이에 형성된 게이트 절연막(352), 활성층(354), 그리고 오믹 접촉층(356)을 더 포함한다. 이러한 데이터 패드부(334)에서 데이터 패드 상부 전극(340)은 무기 보호막(374)과 데이터 패드 하부 전극(336)을 관통하여 형성된 제2 컨택홀(362) 내에 형성되므로 데이터 패드 하부 전극(336)과는 측면 접속하게 된다.

<197> 무기 보호막(372)은 게이트 절연막(352)과 동일한 무기 절연 물질로 이루어진다. 이러한 무기 보호막(372)은 상기 화소 전극(318)과 게이트 패드 상부 전극(332) 및 데이터 패드 상부 전극(340)을 포함하는 투명 도전 패턴이 그 무기 보호막(372)의 측면까지 도포되게 한다. 이에 따라, 무기 보호막(272)은 전술한 투명 도전막의 선택적 식각 방법을 이용하는 경우 투명 도전 패턴과 함께 소스/드레인 금속 패턴이 노출되는 불량을 방지한다.

<198> 도 20a 내지 도 20d는 본 발명의 제5 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들을 도시한 것이다.

<199> 본 발명의 제5 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 및 제2 마스크 공정은 전술한 바와 같다.

<200> 도 20a를 참조하면, 제3 마스크 공정으로 박막 트랜지스터 기판의 최상부층에 무기 보호막(372)과 유기막(358)이 형성되고 그 무기 보호막(272) 및 유기막(372)와 함께 게이트 절연막(352)이 패터닝된다.

<201> 상세히 하면, 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(352) 상에 무기 보호막(372)이 PECVD 등의 증착 방법으로 전면 형성되고, 그 위에 유기막(358)이 전면 코팅된다. 무기 보호막(272)의 재료로는 게이트 절연막(252)과 동일한 물질이 이용된다. 유기막(358)의 재료로는 후속 공정에서 제거하기 용이하도록 감광성 수지, 예를 들면 포토레지스트나, 포토아크릴계열 화합물 등이 이용된다.

<202> 이어서, 유기막(358) 및 무기 보호막(372)과 그 아래의 게이트 절연막(352)이 제3 마스크를 이용한 포토리쏘그래피 공정과 식각 공정으로 패터닝된다. 이에 따라, 후속 공정에서 화

소 전극(318)이 형성될 화소 영역은 유기막(358) 및 무기 보호막(372)과 게이트 절연막(352)이 제거되어 기판(350)이 노출된 구조를 가지게 된다. 그리고, 게이트 패드부는 유기막(358) 및 무기 보호막(372)과 게이트 절연막(352)을 관통하는 제1 컨택홀(364)이 형성되어 게이트 패드 하부 전극(328)이 노출된 구조를 가지게 된다. 또한, 데이터 패드부는 유기막(358) 및 무기 보호막(372)과 데이터 패드 하부 전극(336) 및 오믹 접촉층(356)을 관통하는 제2 컨택홀(358)이 형성되어 활성층(354)이 노출된 구조를 가지게 된다.

<203> 도 20b를 참조하면, 성장 조건에 따라 결정화율을 달리하여 비정질 투명 도전막(366B)과 결정질 투명 도전막(366A)으로 구분된 투명 도전막(366)이 형성된다.

<204> 상세히 하면, 최상부층에 유기막(358)이 형성된 박막 트랜지스터 기판 상에 투명 도전막(366)이 스퍼터링 등과 같은 증착 방법으로 형성된다. 이 경우, 박막 트랜지스터 기판을 약 100 ~ 200도 범위의 기판 온도로 가열함으로써 유기막(358) 위의 투명 도전막(366B)은 비정질로 형성되게 하고, 기판(350) 및 게이트 절연막(352), 소스/드레인 금속 패턴, 반도체 패턴, 그리고 무기 보호막(372)을 포함하는 무기물 위의 투명 도전막(366A)은 결정질로 형성되게 한다. 또한, 유기막(358) 위의 투명 도전막(366B)이 비정질에서 결정질로 성장하는 것을 방지하기 위하여 투명 도전막(366)은 약 500Å 이하의 두께로 형성된다.

<205> 이러한 투명 도전막(366)으로 재료로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO), SnO₂ 등이 이용된다.

<206> 도 20c를 참조하면, 투명 도전막(366)의 선택적 식각 공정으로 화소 전극(318), 게이트 패드 상부 전극(332), 데이터 패드 상부 전극(340)을 포함하는 투명 도전 패턴이 형성된다.

<207> 상세히 하면, 결정질 투명 도전막(366A)과 비정질 투명 도전막(366B)으로 구분되어 형성된 투명 도전막(366)을 비정질용 에천트를 이용하여 비정질 투명 도전막(366B)만을 선택적으로 식각해낸다. 이에 따라, 결정질 투명 도전막(366A)으로 이루어진 화소 전극(318), 게이트 패드 상부 전극(332), 데이터 패드 하부 전극(340)이 형성된다. 이러한 화소 전극(318), 게이트 패드 상부 전극(332), 데이터 패드 상부 전극(340)을 포함하는 결정질 투명 도전막(366B), 즉 투명 도전막 패턴은 무기 보호막(372)의 측면까지 도포되어 유기막(358)과 중첩없이 경계를 이루게 된다.

<208> 도 20d를 참조하면, 투명 도전 패턴과 경계를 이루는 유기막(358)이 스트립 공정으로 제거된다. 이에 따라, 보호막은 무기 보호막(372)의 단일층 구조를 가지게 된다.

<209> 도 21a 내지 도 21e는 본 발명의 제6 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정과 투명 도전막의 선택적 식각 공정을 설명하기 위한 단면도들을 도시한 것이다.

<210> 본 발명의 제6 실시 예에 따른 박막 트랜지스터 기판의 제조 방법은 전술한 본 발명의 제5 실시 예에 따른 박막 트랜지스터 기판의 제조 방법과 대비하여 투명 도전막의 결정화율을 촉진시키기 위한 결정화 촉매층(382)을 형성하는 단계를 추가적으로 포함하는 것으로, 제1 및 제2 마스크 공정은 전술한 바와 같다.

<211> 도 21a를 참조하면, 제3 마스크 공정으로 박막 트랜지스터 기판의 최상부층에 무기 보호막(372)과 유기 보호막(358)으로 구성된 보호막(374)이 형성되고 그 보호막(374)과 함께 게이트 절연막(352)이 패터닝된다.

<212> 상세히 하면, 반도체 패턴과 소스/드레인 금속 패턴이 적층된 게이트 절연막(352) 상에 무기 보호막(372)이 PECVD 등의 증착 방법으로 전면 형성되고, 그 위에 유기 보호막(358)이 전면 코팅된다. 이어서, 보호막(374)과 그 아래의 게이트 절연막(352)은 제3 마스크를 채용한 포토리쏘그래피 공정으로 형성된 포토레지스트 패턴(380)을 이용한 식각 공정으로 패터닝된다. 이에 따라, 후속 공정에서 화소 전극(318)이 형성될 화소 영역은 보호막(374) 및 게이트 절연막(352)이 제거되어 기판(350)이 노출된 구조를 가지게 된다. 그리고, 게이트 패드부는 보호막(374) 및 게이트 절연막(352)을 관통하는 제1 컨택홀(364)이 형성되어 게이트 패드 하부 전극(328)이 노출된 구조를 가지게 된다. 또한, 데이터 패드부는 보호막(374)과 데이터 패드 하부 전극(336) 및 오믹 접촉층(356)을 관통하는 제2 컨택홀(358)이 형성되어 활성층(354)이 노출된 구조를 가지게 된다.

<213> 그 다음, 상기 포토레지스트 패턴(380)이 남아 있는 박막 트랜지스터 기판 상에 결정화 촉매층(382)이 전면적으로 형성된다. 결정화 촉매층(382)으로는 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 등과 같은 내열성 금속이 이용된다. 이러한 결정화 촉매층(382)의 금속 원자들은 성글게 형성되어 그 위에 형성되어질 투명 도전막의 결정화를 촉진시키기 위한 핵 생성 사이트를 만들게 된다.

<214> 도 21b를 참조하면, 포토레지스트 패턴(380)이 그 위에 형성된 결정화 촉매층(382)과 함께 스트립 공정 또는 리프트-오프(Lift-off) 공정을 통해 제거된다. 이에 따라, 박막 트랜지스터 기판에서 유기 보호막(358)을 제외한 나머지 영역, 즉 무기를 영역에만 결정화 촉매층(382)이 남아 있게 된다.

<215> 도 21c를 참조하면, 유기 보호막(358) 및 결정화 촉매층(382) 위에 비정질 투명 도전막(366B)과 결정질 투명 도전막(366A)으로 구분된 투명 도전막(366)이 형성된다.

<216> 상세히 하면, 최상부층에 유기 보호막(358)이 형성된 박막 트랜지스터 기판 상에 투명 도전막(366)이 스퍼터링 등과 같은 증착 방법으로 형성된다. 이 경우, 박막 트랜지스터 기판을 약 100 ~ 200도 범위의 기판 온도로 가열함으로써 유기 보호막(358) 위의 투명 도전막(366B)은 비정질로 형성된다.

<217> 그리고, 결정화 촉매층(382)이 형성된 기판(350) 및 게이트 절연막(352), 소스/드레인 금속 패턴, 반도체 패턴, 그리고 무기 보호막(372)을 포함하는 무기물 위의 투명 도전막(366A)은 결정질로 형성된다. 이 결과, 화소 전극이 형성되어질 화소 영역과 게이트 패드부의 제1 컨택홀(364) 및 데이터 패드부의 제2 컨택홀(362)을 포함하는 무기물 영역에는 결정질 투명 도전막(366A)이 형성되고, 나머지 영역인 유기 보호막(358)의 상부에는 비정질 투명 도전막(366B)이 형성된다. 여기서, 결정질 투명 도전막(366A)은 결정화 촉매층(382)에 의해 결정화율이 촉진됨으로써 보다 높은 결정화도를 갖게 된다. 또한, 유기 보호막(358) 위의 투명 도전막(366B)이 비정질에서 결정질로 성장하는 것을 방지하기 위하여 투명 도전막(366)은 약 500 Å 이하의 두께로 형성된다.

<218> 도 21d를 참조하면, 투명 도전막(366)의 선택적 식각 공정으로 화소 전극(318), 게이트 패드 상부 전극(332), 데이터 패드 상부 전극(340)을 포함하는 투명 도전 패턴이 형성된다.

<219> 상세히 하면, 결정질 투명 도전막(366A)과 비정질 투명 도전막(366B)으로 구분되어 형성된 투명 도전막(366)을 10% 이하의 둑은 옥살산을 함유하는 비정질용 에천트를 이용하여 비정질 투명 도전막(366B)만을 선택적으로 식각해내고, 결정질 투명 도전막(366A)은 남아있게 한다. 이에 따라, 결정질 투명 도전막(366A)으로 이루어진 화소 전극(318), 게이트 패드 상부 전극(332), 데이터 패드 하부 전극(340)이 형성된다. 이러한 화소 전극(318), 게이트 패드 상부 전극(332), 데이터 패드 상부 전극(340)을 포함하는 결정질 투명 도전막(366B), 즉 투명 도

전막 패턴은 무기 보호막(372)의 측면까지 도포되어 유기 보호막(358)과 중첩없이 경계를 이루게 된다. 그리고, 상기 결정질 투명 도전막(366A)은 결정화 촉매층(382)에 의해 보다 높은 결정화도를 갖음에 따라 비정질 투명 도전막(366B)과 큰 식각비 차이를 갖게 되므로 비정질용 에친트에 의한 손상없이 안정적으로 남아있게 된다.

<220> 도 21d를 참조하면, 투명 도전 패턴과 경계를 이루는 유기막(358)이 스트립 공정으로 제거된다. 이에 따라, 보호막은 무기 보호막(372)의 단일층 구조를 가지게 된다.

【발명의 효과】

<221> 상술한 바와 같이, 본 발명에 따른 투명 도전막의 패터닝 방법은 투명도전막의 결정화율을 달리하여 선택적으로 식각해냄으로써 별도의 마스크 공정을 필요로 하지 않게 된다. 특히, 본 발명에 따른 투명 도전막의 패터닝 방법은 결정화 촉매층을 채용하여 결정질 투명 도전막의 결정화도를 더욱 높임으로써 투명 도전막 패터닝 공정의 안정성을 확보할 수 있게 된다. 이에 따라, 본 발명에 따른 투명 도전막의 패터닝 방법에 의하면 투명 도전막의 패터닝 공정을 단순화할 수 있게 된다.

<222> 그리고, 본 발명에 따른 박막 트랜지스터 기판 및 그 제조 방법은 상기 투명 도전막의 패터닝 방법을 채용한 3마스크 공정을 이용함으로써 박막 트랜지스터 기판의 구조 및 공정을 단순화하여 제조 원가 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있게 된다.

<223> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세

1020030019782

출력 일자: 2004/2/9

서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

무기물 기판을 마련하는 단계와;

상기 무기물 기판의 소정 영역에 유기물 패턴을 형성하는 단계와;

상기 유기물 패턴이 형성된 영역을 제외한 나머지 영역의 상기 무기물 기판 상에 결정화 촉매층을 형성하는 단계와;

상기 유기물 보다 상기 결정화 촉매층이 형성된 무기물 기판 상에서 결정화율이 빠른 투명 도전막을 형성하는 단계와;

상기 결정화율에 따라 상기 투명 도전막을 선택적으로 식각하여 패터닝하는 단계를 포함하는 것을 특징으로 하는 투명 도전막의 패터닝 방법.

【청구항 2】

제 1 항에 있어서,

상기 결정화 촉매층은 내열성 금속인 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 중 적어도 어느 하나의 금속을 포함하는 것을 특징으로 하는 투명 도전막의 패터닝 방법.

【청구항 3】

제 2 항에 있어서,

상기 결정화 촉매층은 상기 금속원자들이 성글게 분산된 분포를 갖도록 형성된 것을 특징으로 하는 투명 도전막의 패터닝 방법.

【청구항 4】

제 1 항에 있어서,

상기 유기물 패턴을 형성하는 단계는

상기 기판 상에 상기 유기막을 전면 형성하는 단계와;

포토리쏘그래피 공정으로 형성된 포토레지스트 패턴을 이용한 식각 공정으로 상기 유기막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 투명 도전막의 패터닝 방법.

【청구항 5】

제 4 항에 있어서,

상기 결정화 촉매층을 형성하는 단계는

상기 유기물 패턴 위에 상기 포토레지스트 패턴이 형성된 상기 기판 상에 결정화 촉매층을 전면적으로 형성하는 단계와;

상기 포토레지스트 패턴과 함께 그 위의 결정화 촉매층을 제거하는 단계를 포함하는 것을 특징으로 하는 투명 도전막의 패터닝 방법..

【청구항 6】

게이트 라인과;

상기 게이트 라인과 게이트 절연막을 사이에 두고 교차하여 화소 영역을 결정하는 데이터 라인과;

상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터와;

상기 화소 영역을 제외한 상기 게이트 라인 및 게이터 라인과 박막 트랜지스터를 덮는 보호막과;

상기 화소 영역에 형성된 결정화 측매층과;

상기 화소 영역에 상기 보호막과 경계를 이루며 형성되어 상기 박막 트랜지스터와 접속된 화소 전극을 구비하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

【청구항 7】

제 6 항에 있어서,

상기 보호막은 유기 절연막, 무기 절연막, 이층 구조의 무기/유기 절연막 중 어느 하나인 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

【청구항 8】

제 6 항에 있어서,

상기 게이트 라인과 동일 물질로 이루어진 게이트 패드 하부 전극과;

상기 보호막 및 게이트 절연막을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 컨택홀과;

상기 화소 전극과 동일 물질로 이루어지고 상기 컨택홀을 통해 상기 게이트 패드 하부 전극과 접속된 게이트 상부 전극을 포함하는 게이트 패드부를 추가로 구비하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

【청구항 9】

제 6 항에 있어서,

상기 데이터 라인과 동일 물질로 이루어진 데이터 패드 하부 전극과;

상기 보호막을 관통하여 상기 데이터 패드 하부 전극을 노출시키는 컨택홀과;

상기 화소 전극과 동일 물질로 이루어지고 상기 컨택홀을 통해 상기 데이터 패드 하부 전극과 접속된 데이터 상부 전극을 포함하는 데이터 패드부를 추가로 구비하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

【청구항 10】

제 6 항에 있어서,

상기 결정화 측매층은 내열성 금속인 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 중 적어도 어느 하나의 금속원자들이 성글게 분산된 분포를 갖도록 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

【청구항 11】

기판 상에 게이트 라인을 형성하는 단계와;

상기 게이트 라인을 덮는 게이트 절연막, 반도체층 및 소스/드레인 금속층을 증착하는 단계와;

상기 반도체층 및 소스/드레인 금속층을 동시에 식각하여 상기 게이트 라인과 교차하는 데이터 라인, 그 데이터 라인과 연결된 소스 전극, 그 소스 전극과 대향하는 드레인 전극과, 상기 소스 전극 및 드레인 전극 사이의 채널을 형성하고 상기 데이터 라인을 따르는 반도체층을 형성하는 단계와;

상기 게이트 라인, 데이터 라인, 소스 전극, 드레인 전극을 덮도록 보호막을 형성하는 단계와;

상기 보호막이 형성된 영역을 제외한 나머지 영역에 결정화 측매층을 형성하는 단계와;

상기 결정화 촉매층 상에 상기 보호막과 경계를 이루고 상기 드레인 전극과 접속된 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【청구항 12】

제 11 항에 있어서,
상기 보호막을 형성하는 단계는
상기 보호막을 상기 기판 상에 전면적으로 형성하는 단계와;
포토리쏘그래피 공정으로 형성된 포토레지스트 패턴을 이용한 식각 공정으로 상기 보호막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【청구항 13】

제 12 항에 있어서,
상기 결정화 촉매층을 형성하는 단계는
상기 보호막 위에 상기 포토레지스트 패턴이 형성된 상기 기판 상에 상기 결정화 촉매층을 전면적으로 형성하는 단계와;
상기 포토레지스트 패턴과 함께 그 위의 상기 결정화 촉매층을 제거하는 단계를 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【청구항 14】

제 11 항에 있어서,

상기 결정화 촉매층은 내열성 금속인 Ni, Cu, In, Sn, Mo, Tn, W, Cr, Hf 중 적어도 어느 하나의 금속원자들이 성글게 분산된 분포를 갖도록 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【청구항 15】

제 11 항에 있어서,

상기 보호막은 유기 절연막, 무기 절연막, 이층 구조의 무기/유기 절연막 중 어느 하나로 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【청구항 16】

제 15 항에 있어서,

상기 화소 전극을 형성하는 단계는

유기물을 포함하는 보호막 위에서는 비정질을 형성하고, 무기물로 이루어진 상기 나머지 영역에서는 결정질을 형성하는 투명 도전막을 도포하는 단계와;

비정질용 에천트를 이용하여 상기 보호막 위의 비정질 투명 도전막을 선택적으로 식각하여 결정질 투명 도전막만 남아 있게 단계를 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【청구항 17】

제 11 항에 있어서,

상기 게이트 라인과 동일 물질로 이루어진 게이트 패드 하부 전극을 형성하는 단계와;

상기 보호막 및 게이트 절연막을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 컨택홀을 형성하는 단계와;

상기 화소 전극과 동일 물질로 이루어지고 상기 컨택홀을 통해 상기 게이트 패드 하부 전극과 접속된 게이트 상부 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【청구항 18】

제 11 항에 있어서,

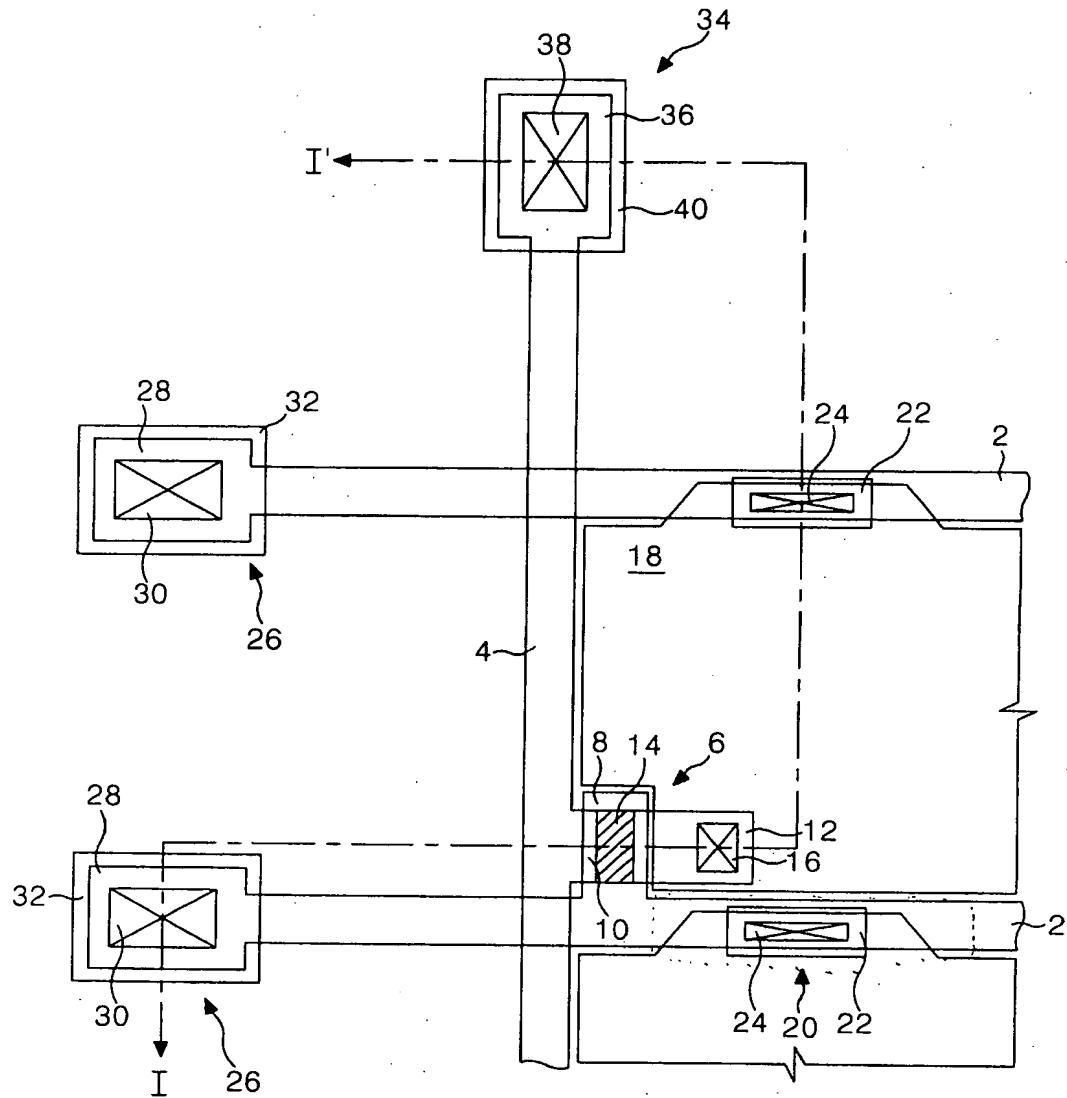
상기 게이트 절연막 상에 데이터 라인과 동일 물질로 이루어진 데이터 패드 하부 전극을 형성하는 단계와;

상기 보호막을 관통하여 상기 데이터 패드 하부 전극을 노출시키는 컨택홀을 형성하는 단계와;

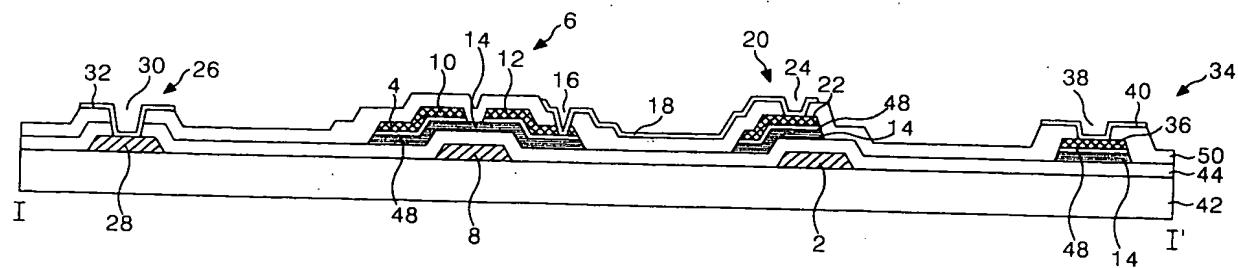
상기 화소 전극과 동일 물질로 이루어지고 상기 컨택홀을 통해 상기 데이터 패드 하부 전극과 접속된 데이터 상부 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

【도면】

【도 1】



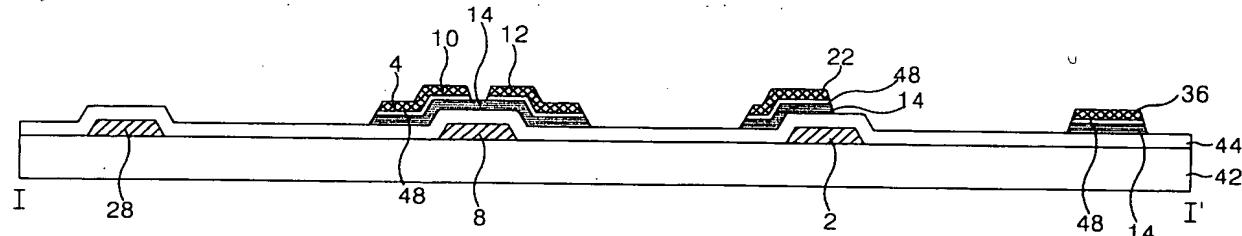
【도 2】



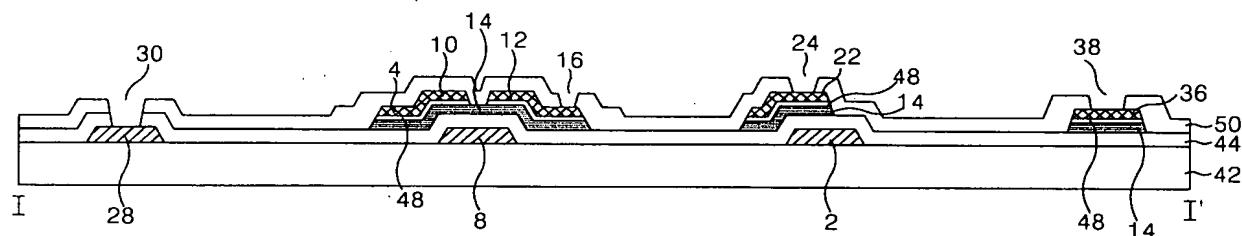
【도 3a】



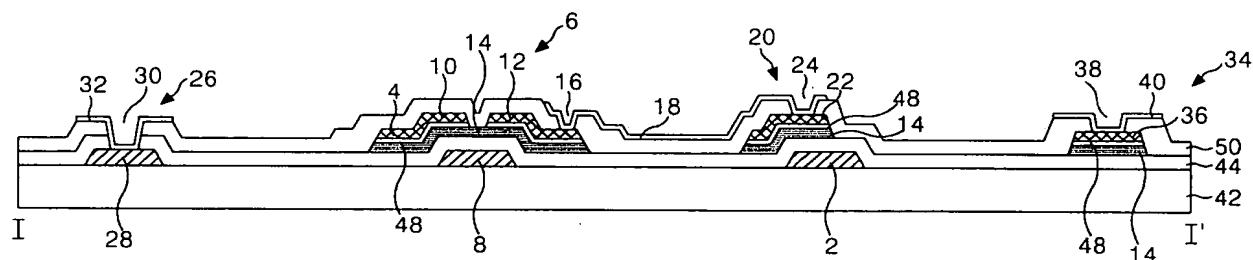
【도 3b】



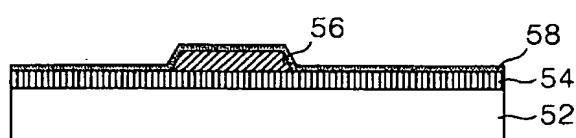
【도 3c】



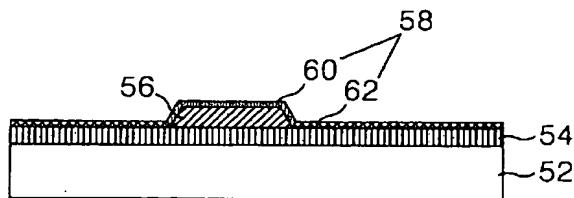
【도 3d】



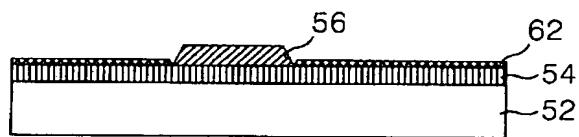
【도 4a】



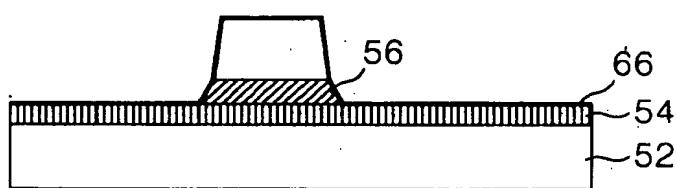
【도 4b】



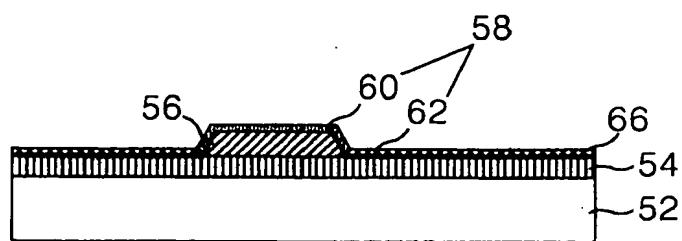
【도 4c】



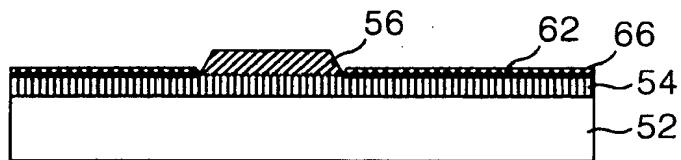
【도 5a】



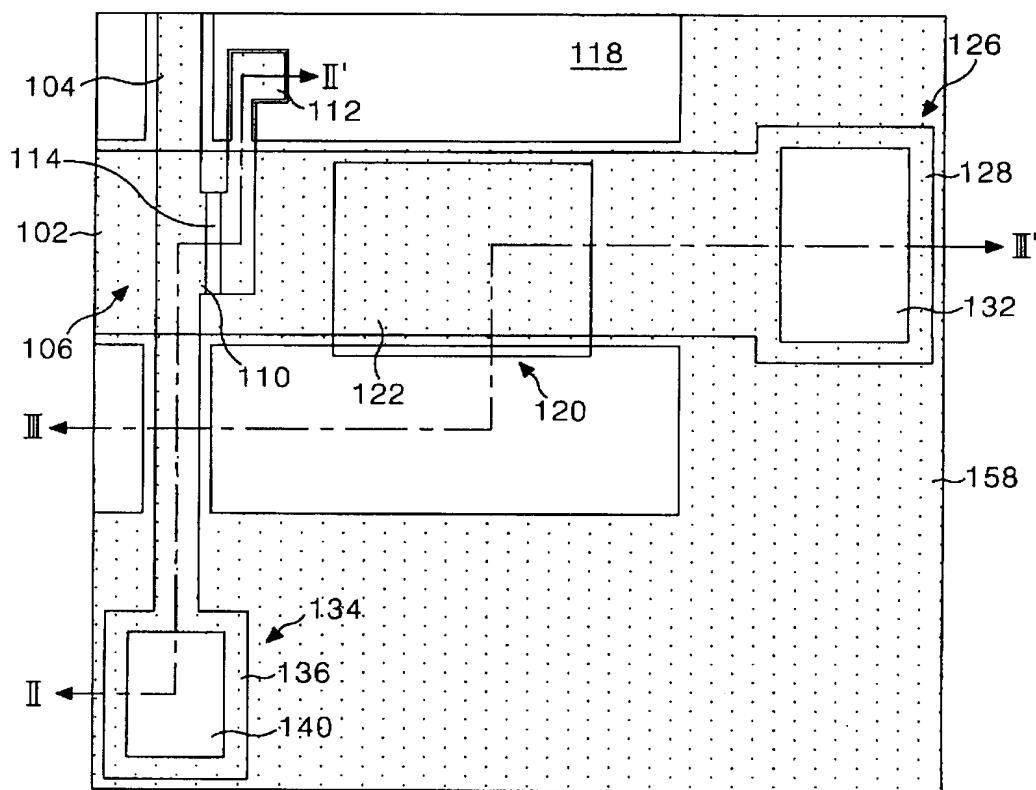
【도 5b】



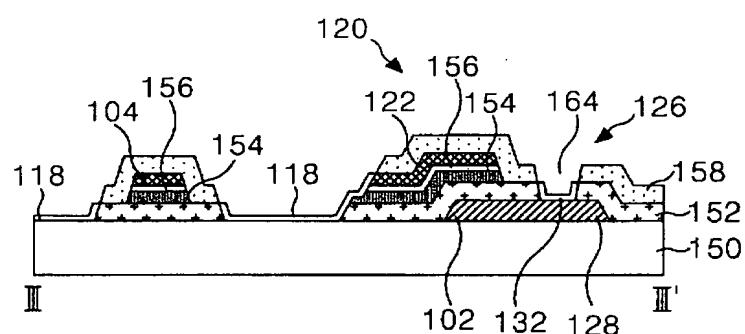
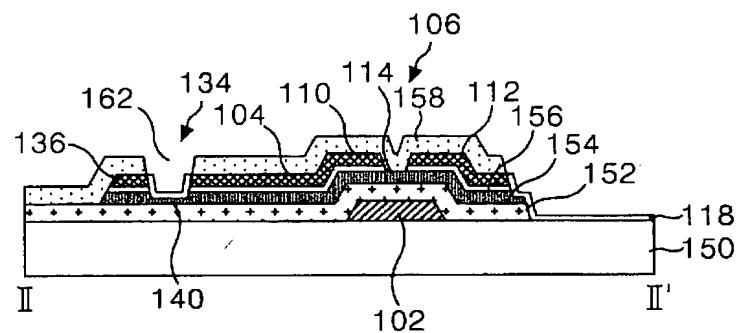
【도 5c】



【도 6】



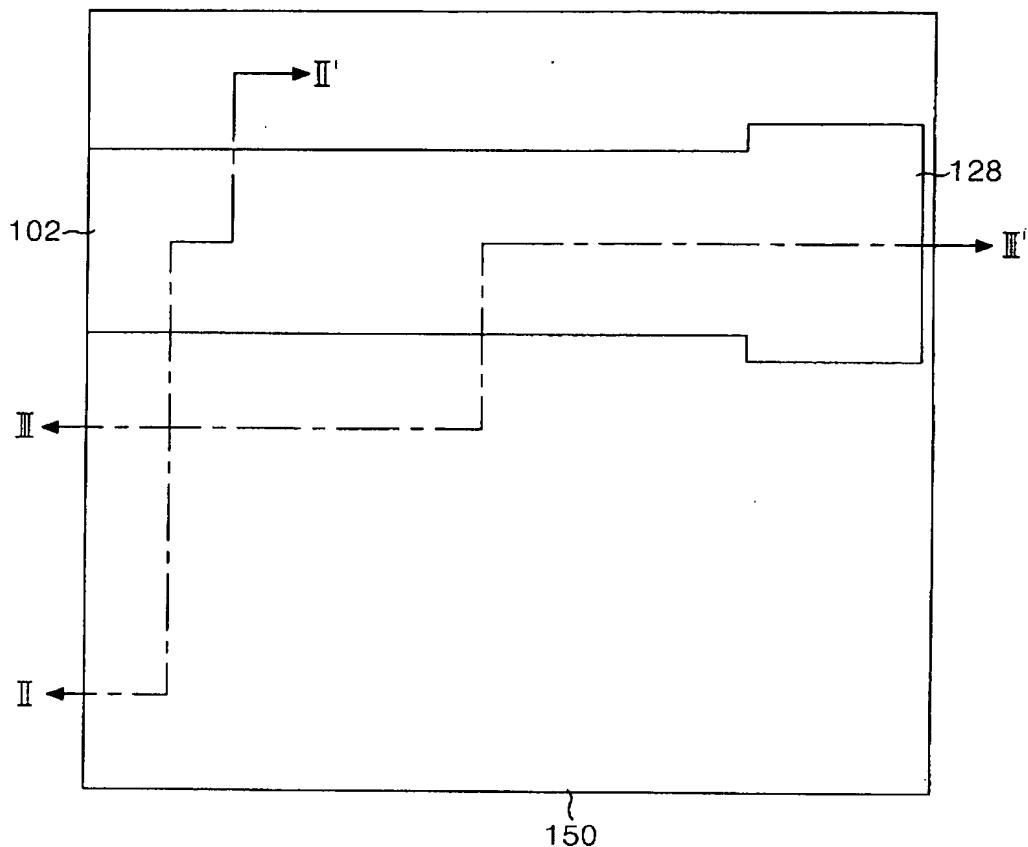
【도 7】



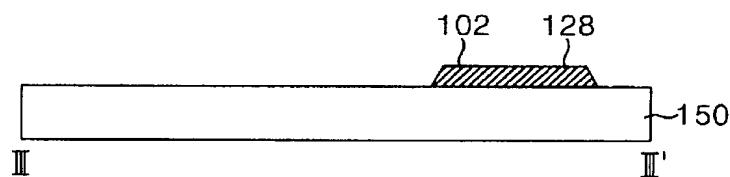
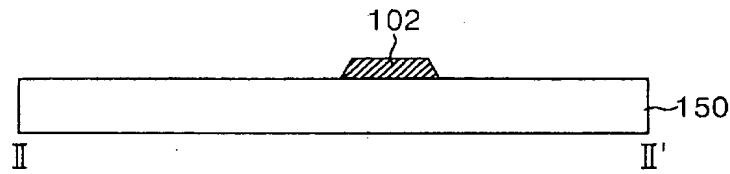
1020030019782

출력 일자: 2004/2/9

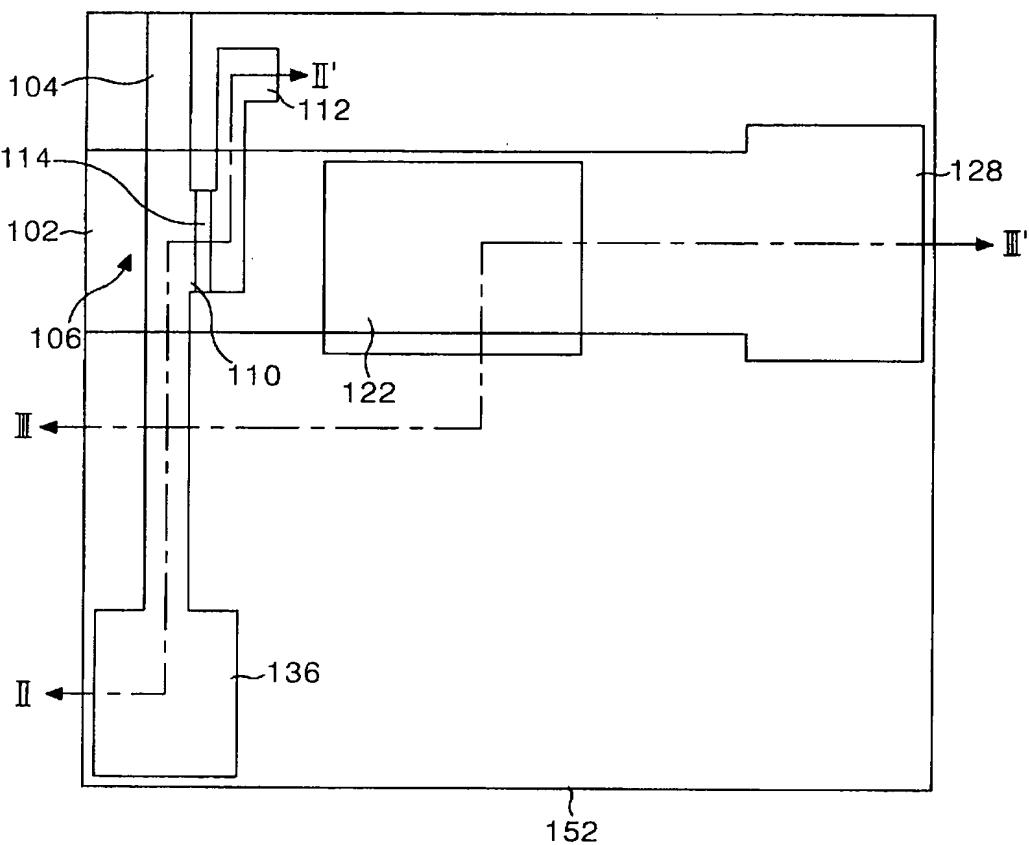
【도 8a】



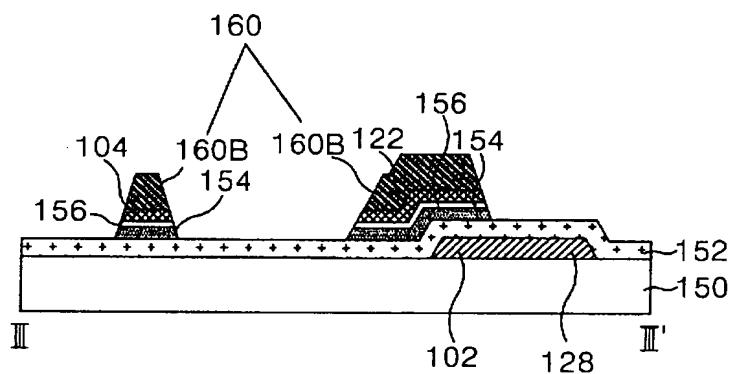
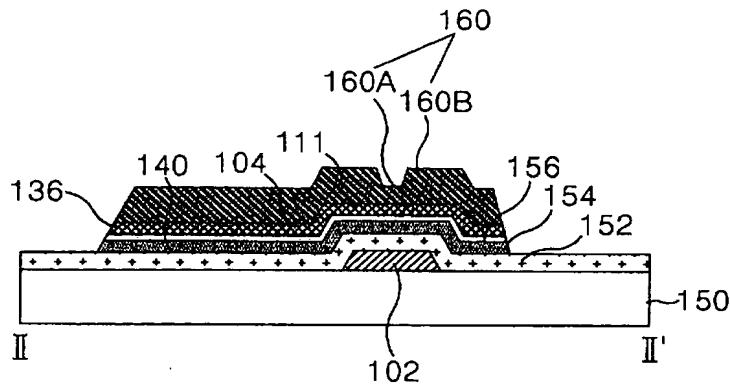
【도 8b】



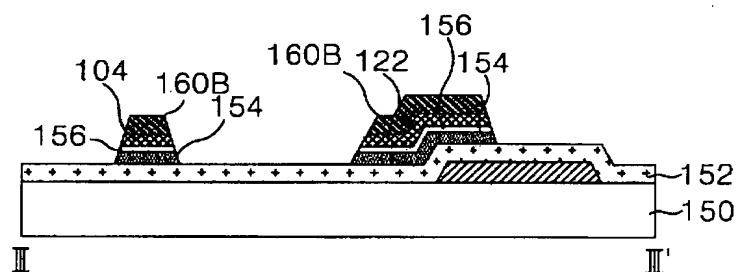
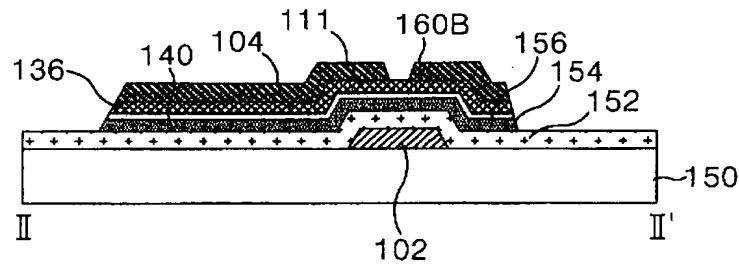
【도 9a】



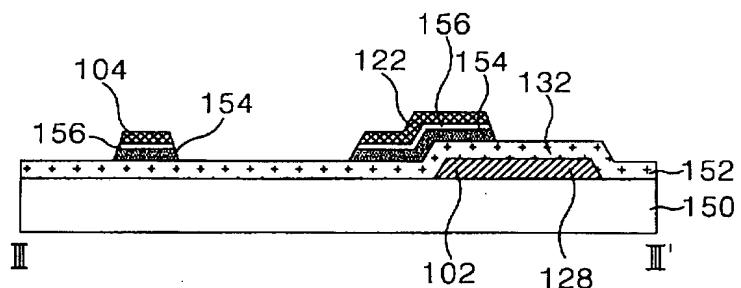
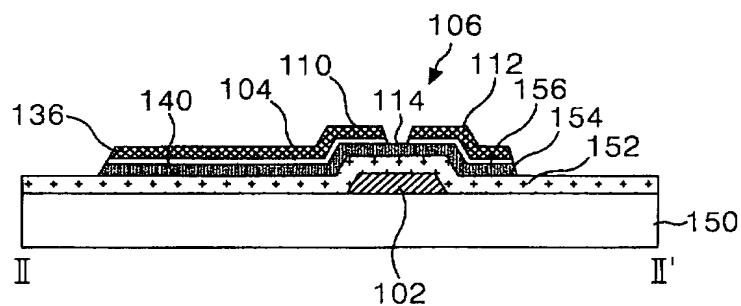
【도 9b】



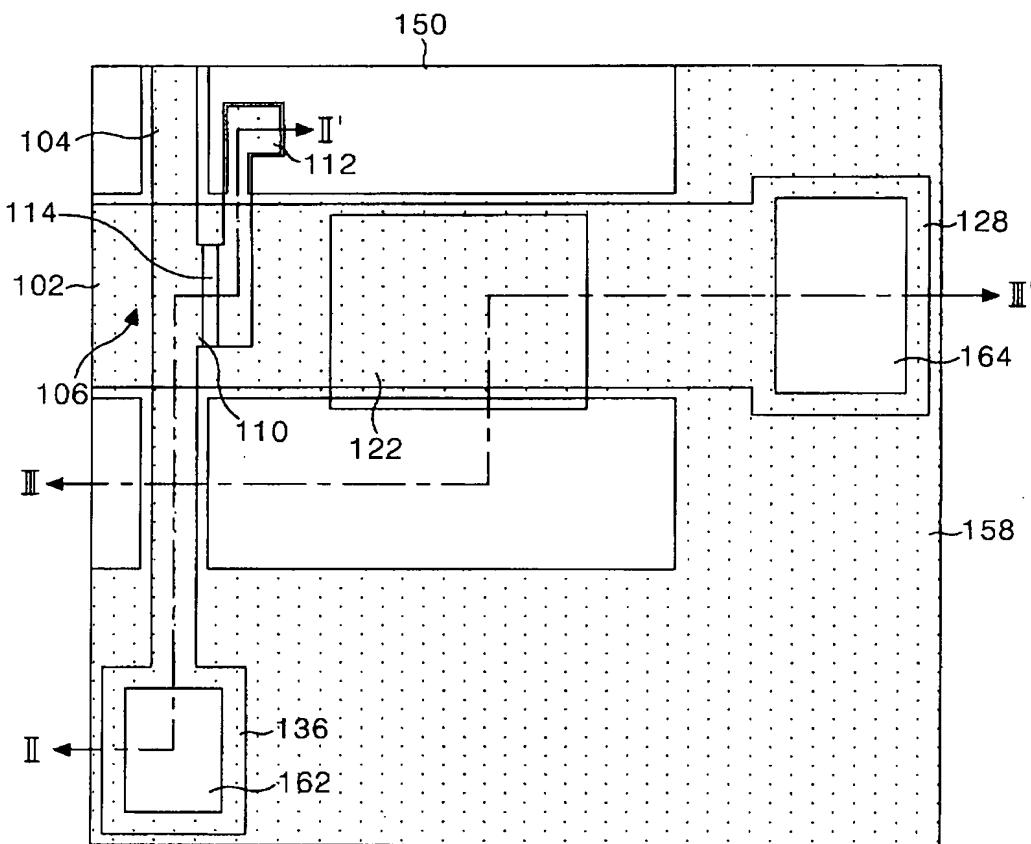
【도 9c】



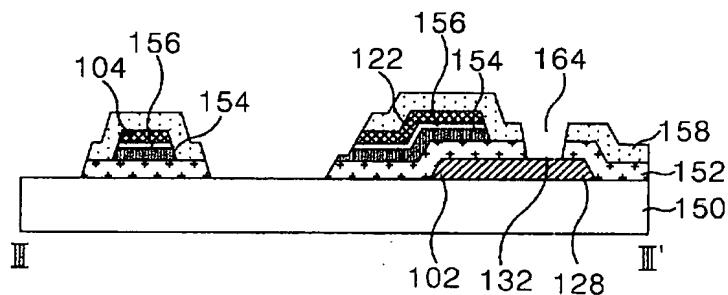
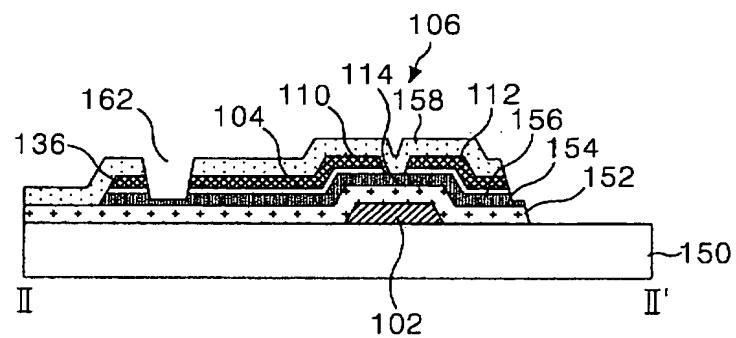
【도 9d】



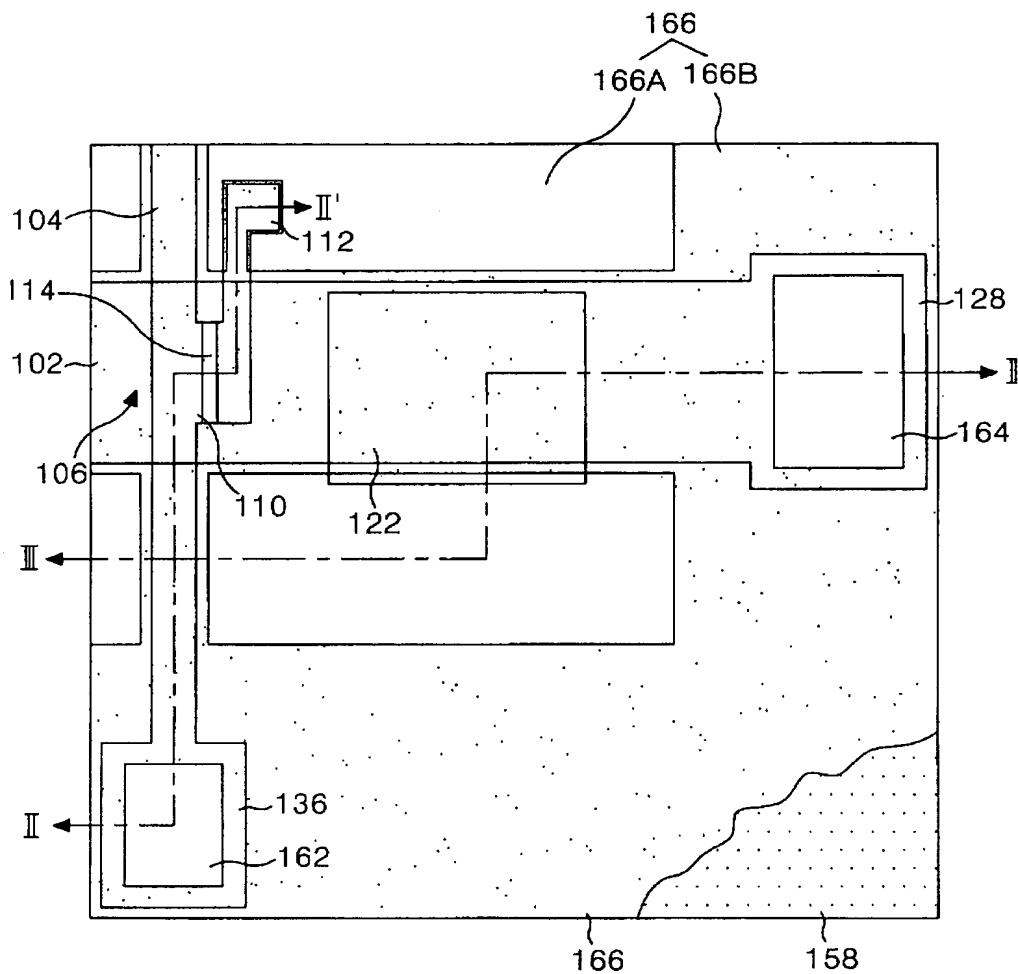
【도 10a】



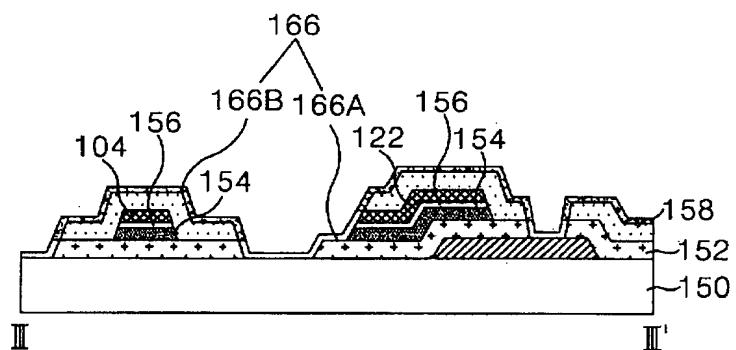
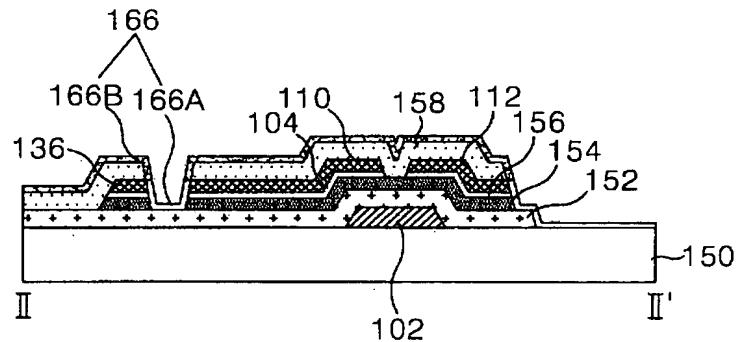
【도 10b】



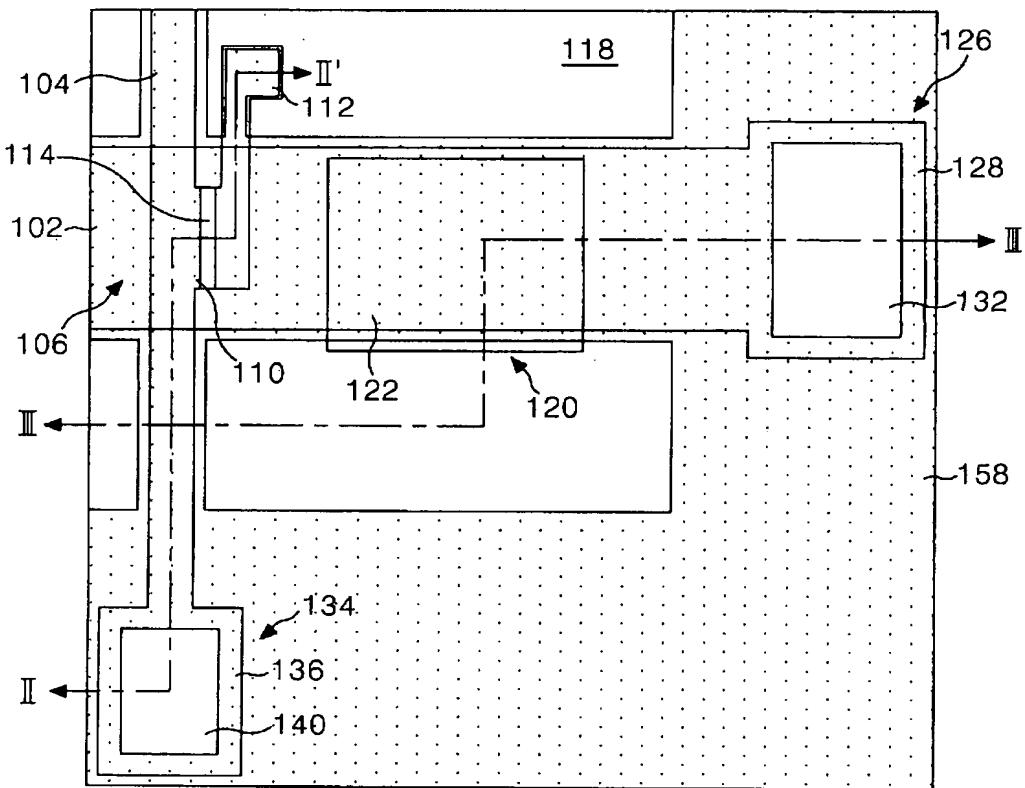
【도 11a】



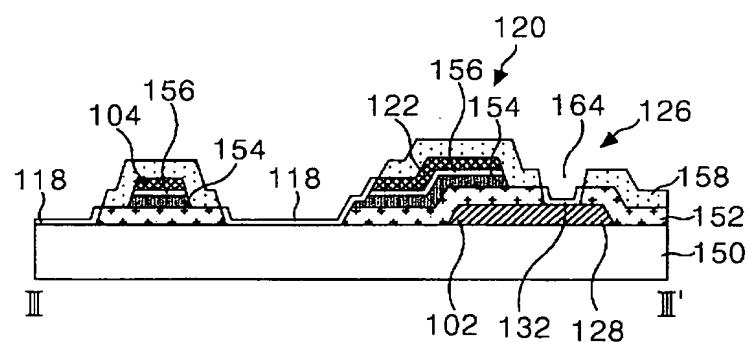
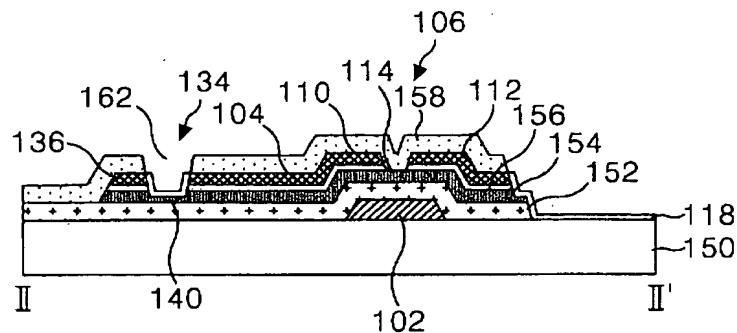
【도 11b】



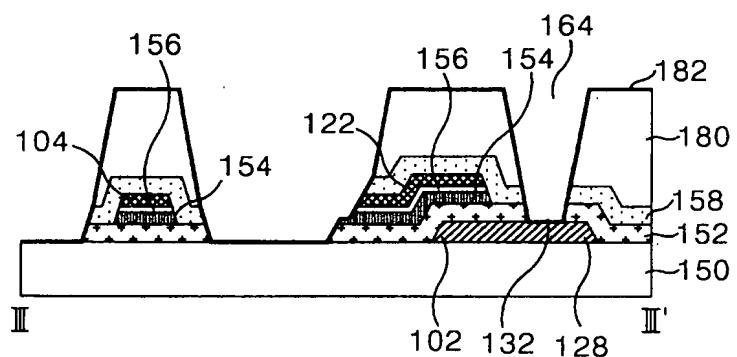
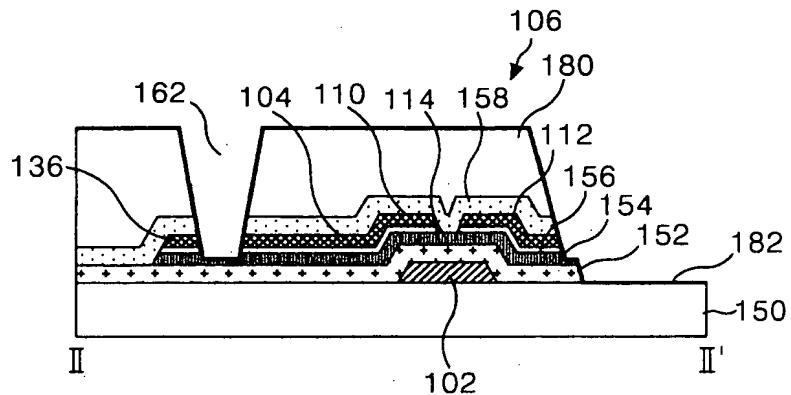
【도 12a】



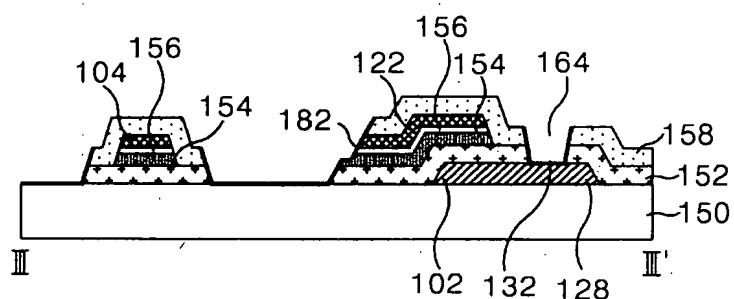
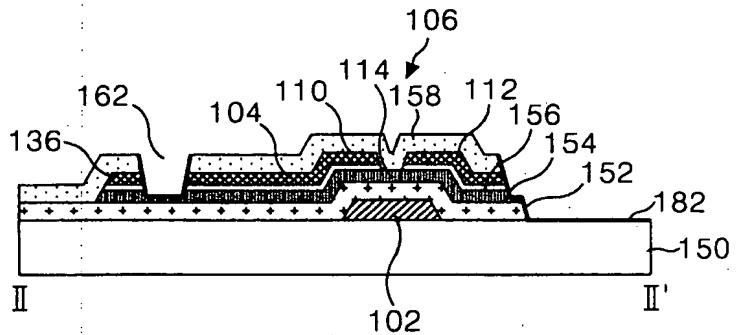
【도 12b】



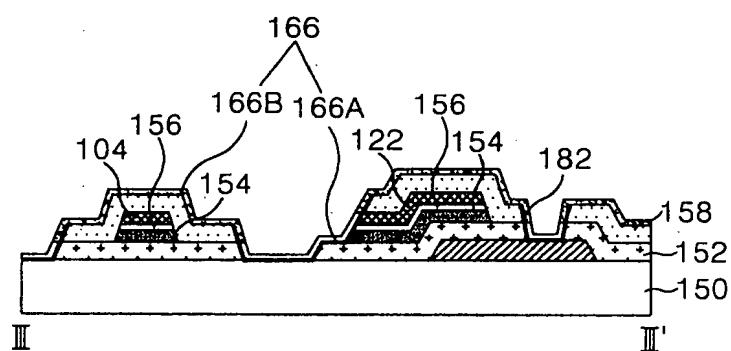
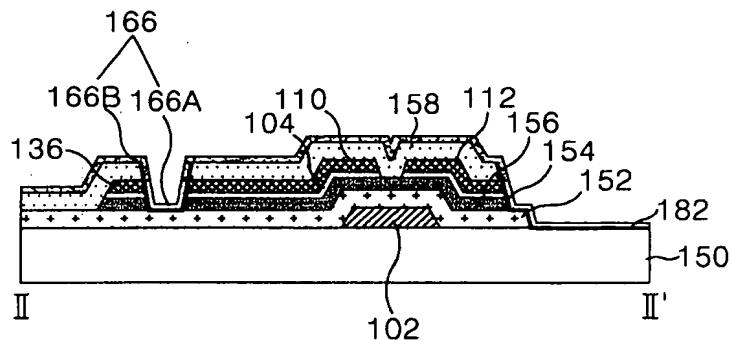
【도 13a】



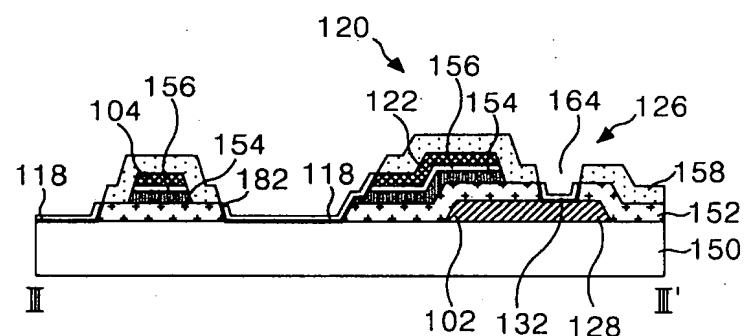
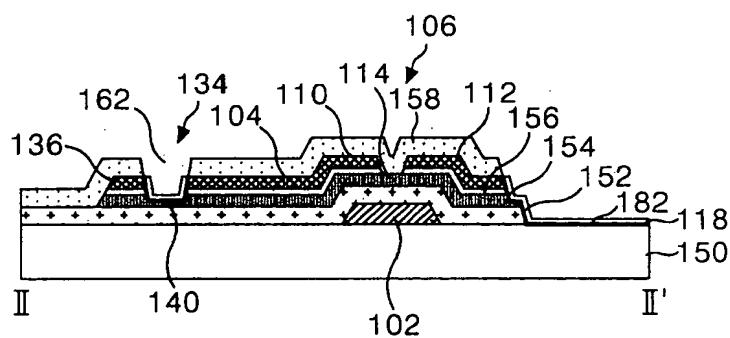
【도 13b】



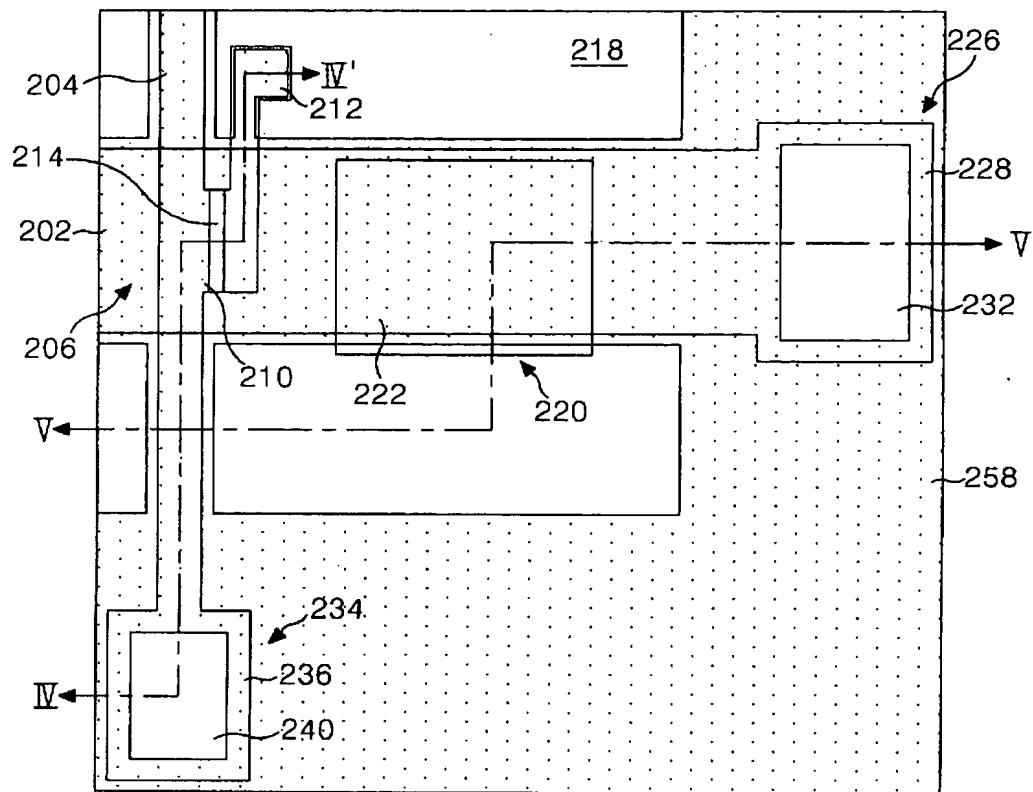
【도 13c】



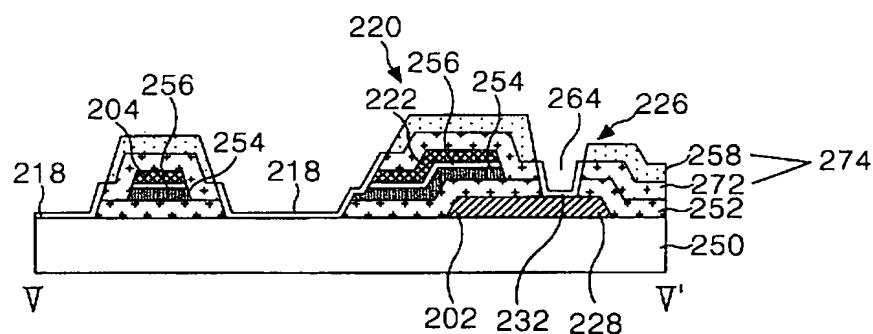
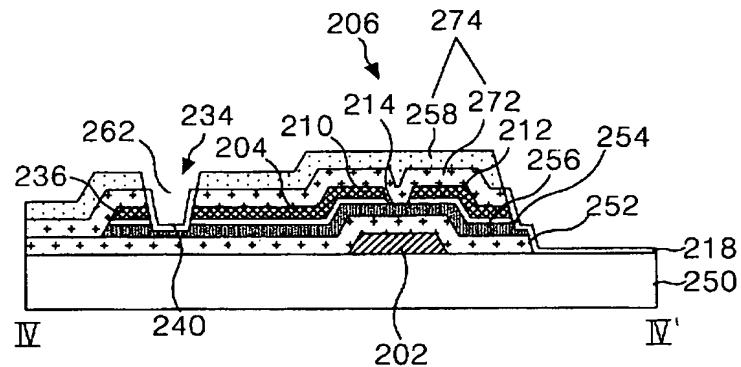
【도 13d】



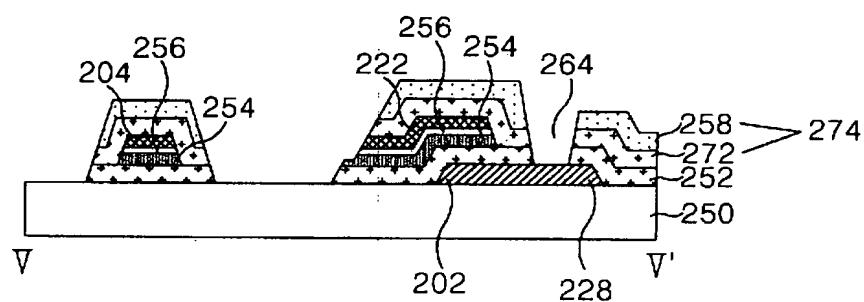
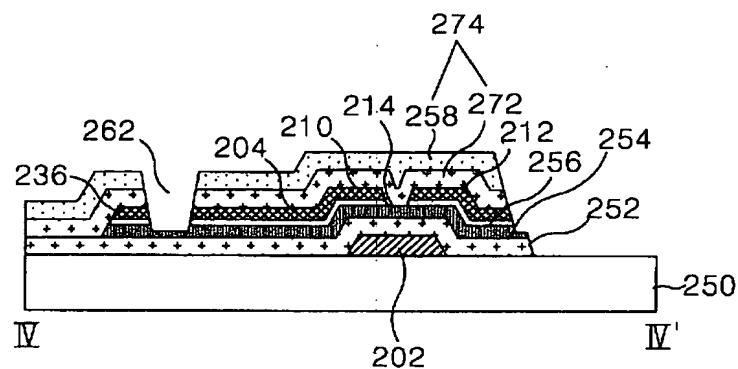
【도 14】



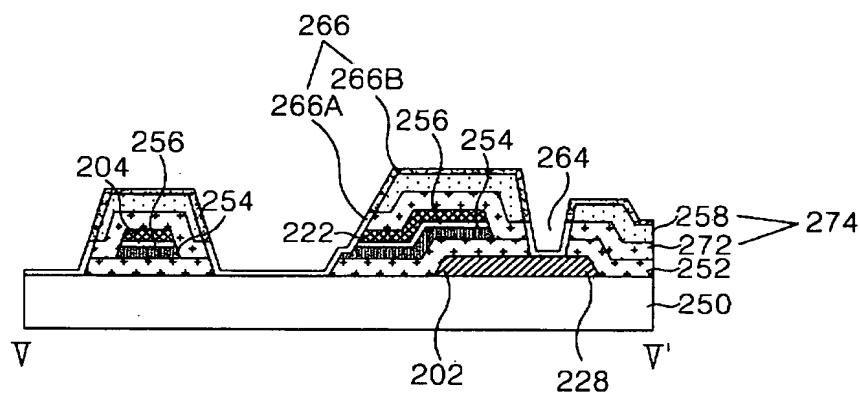
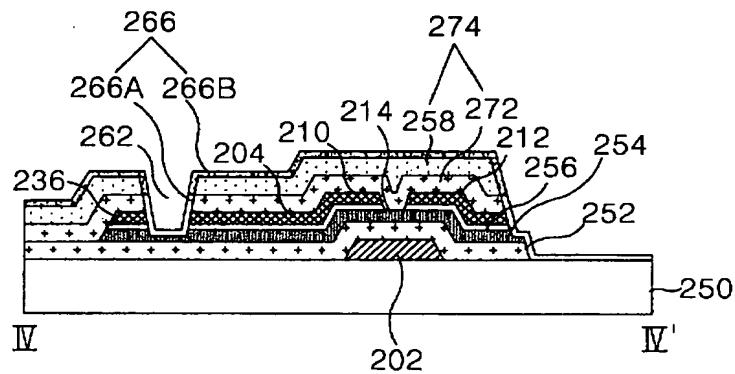
【도 15】



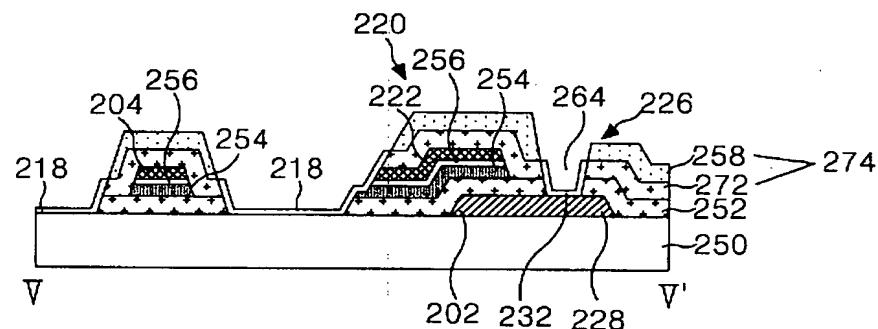
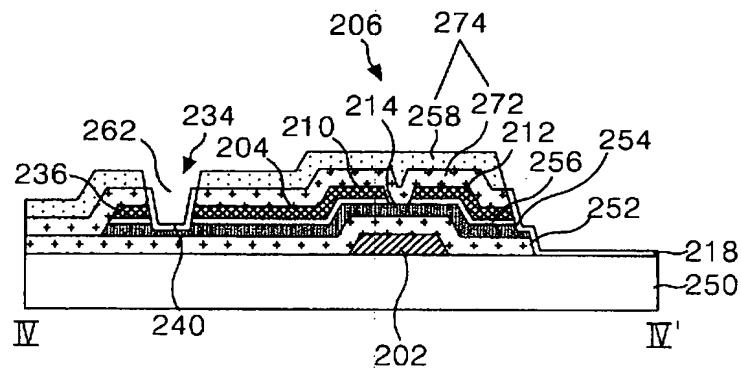
【도 16a】



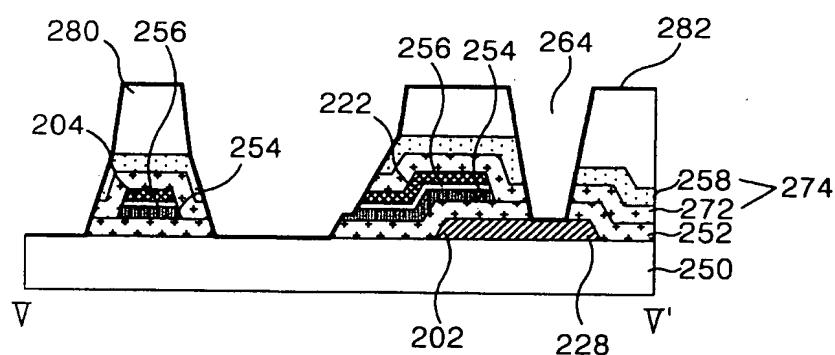
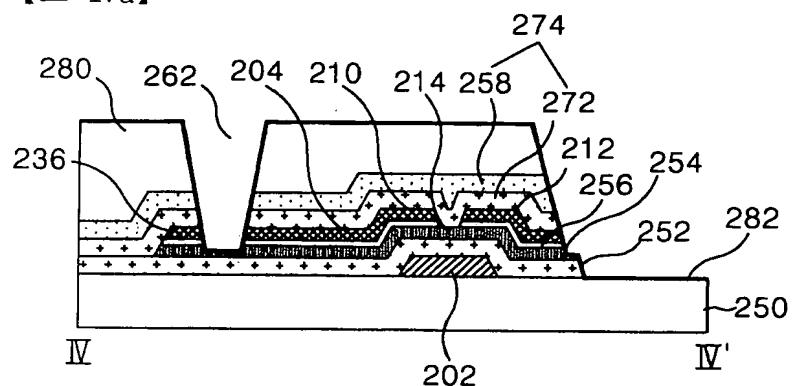
【도 16b】



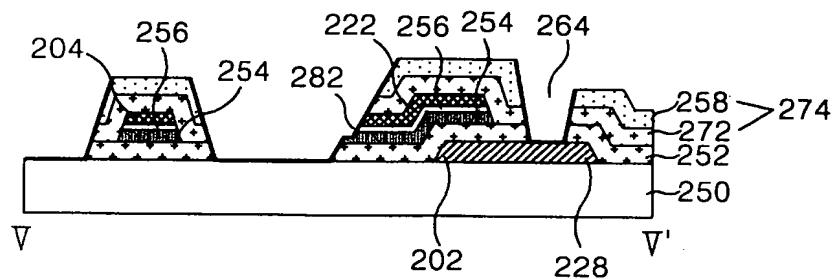
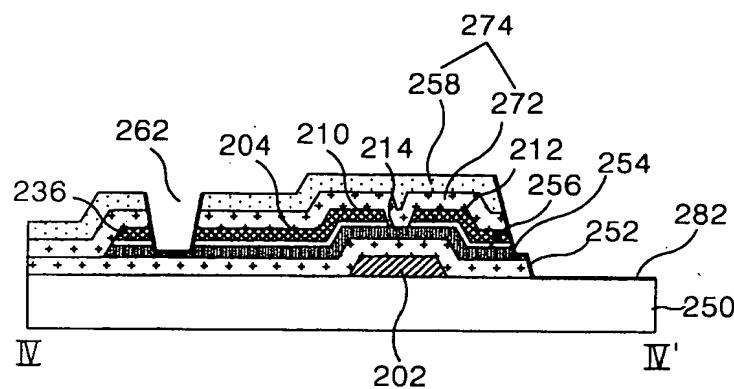
【도 16c】



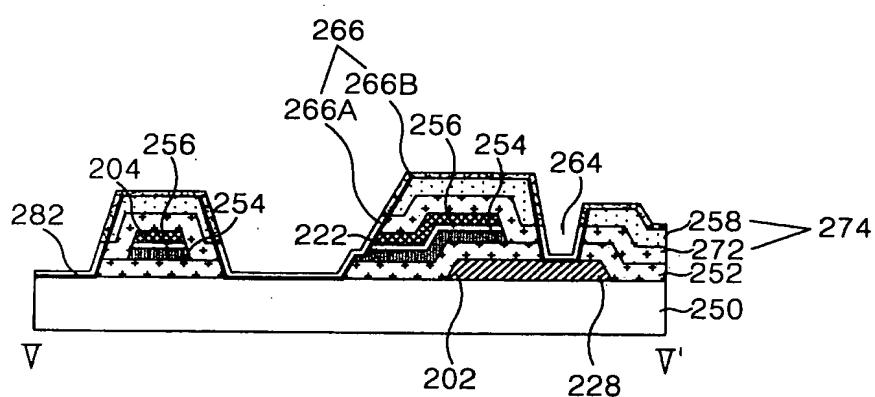
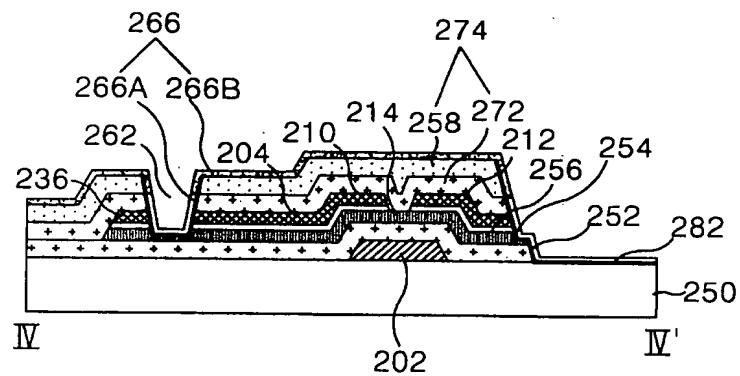
【도 17a】



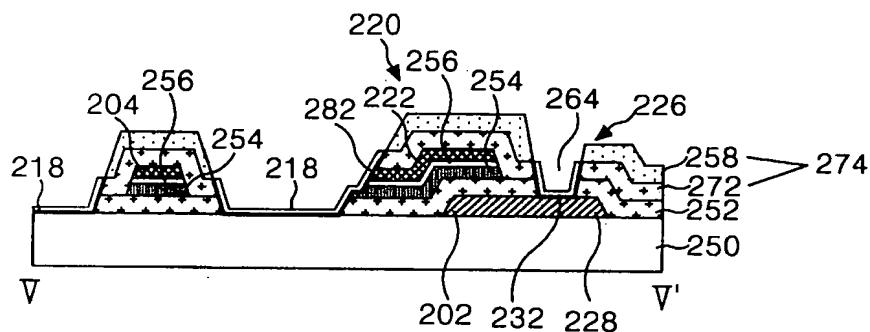
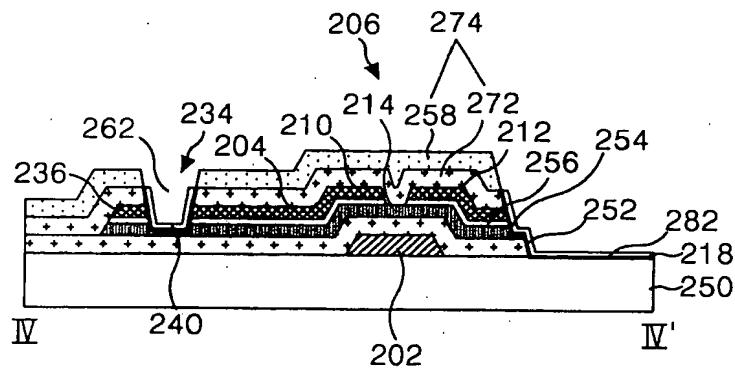
【도 17b】



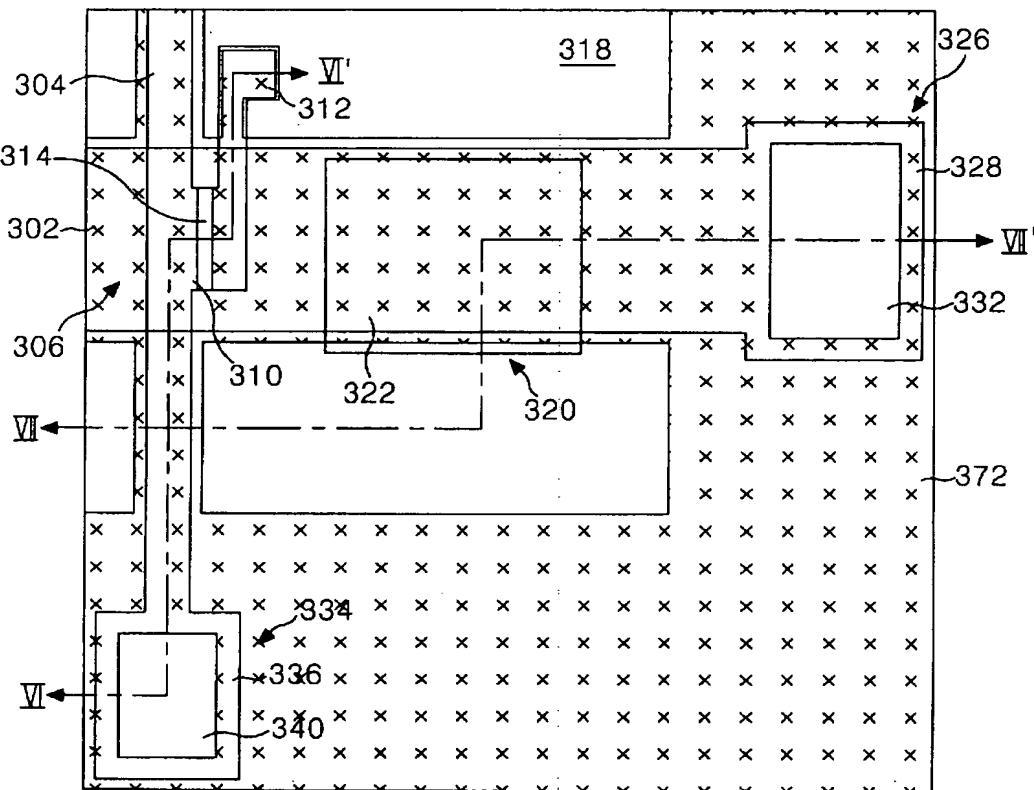
【도 17c】



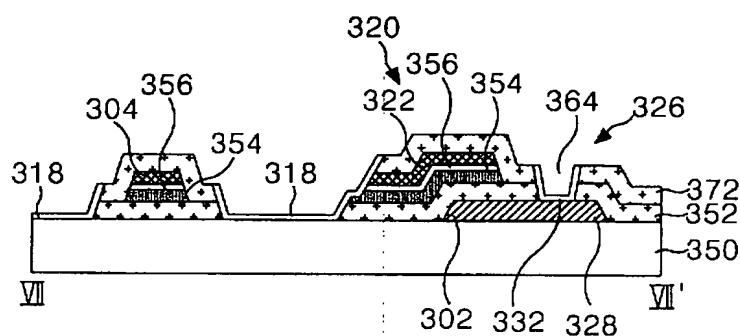
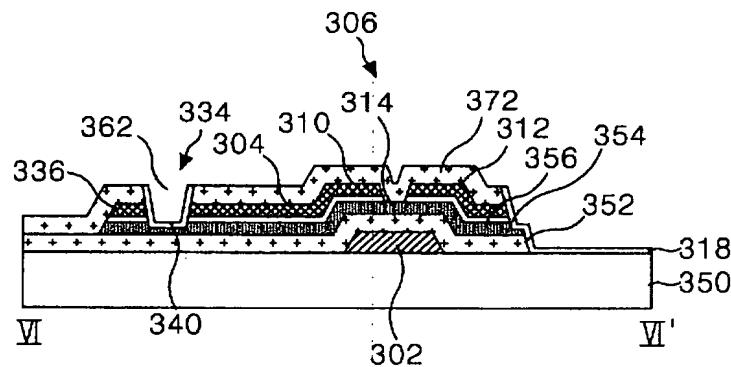
【도 17d】



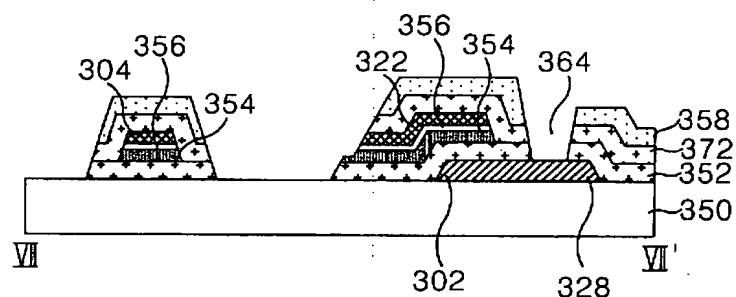
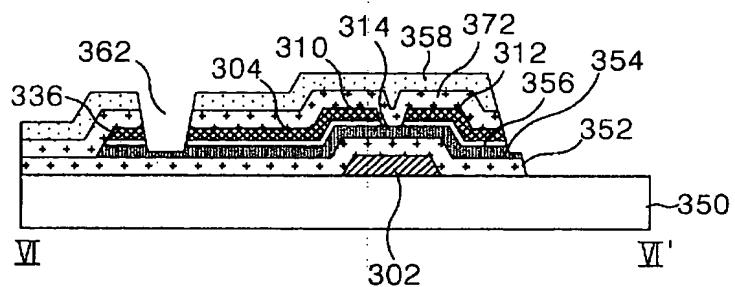
【도 18】



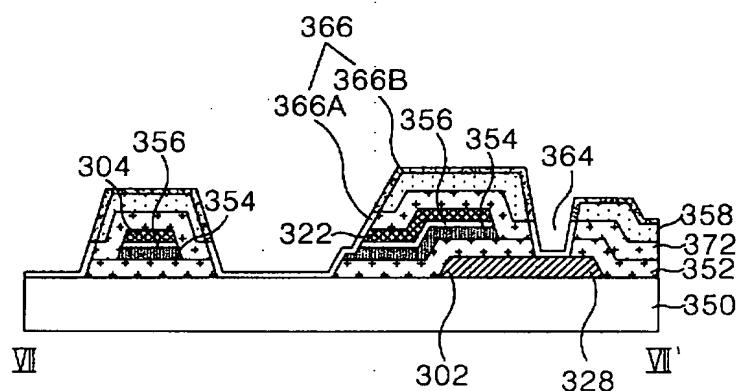
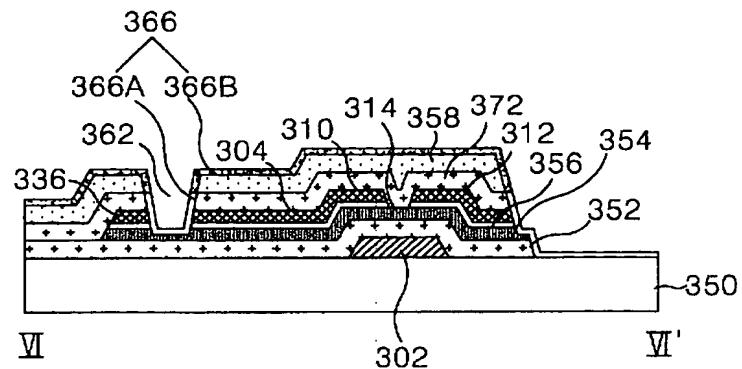
【도 19】



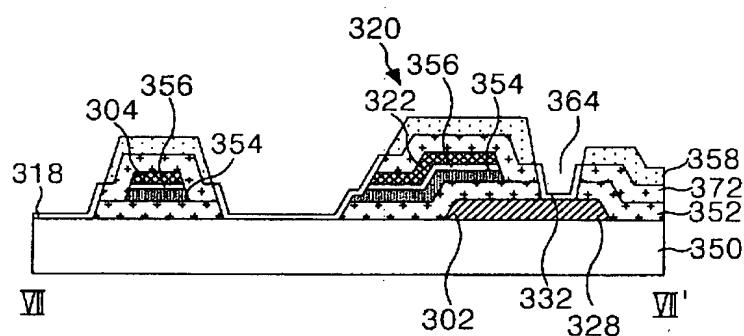
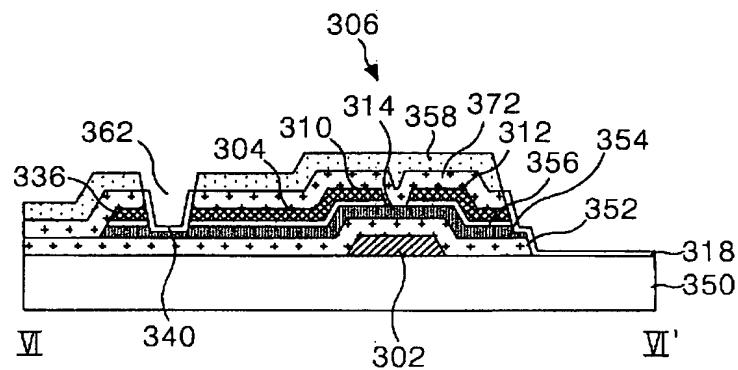
【도 20a】



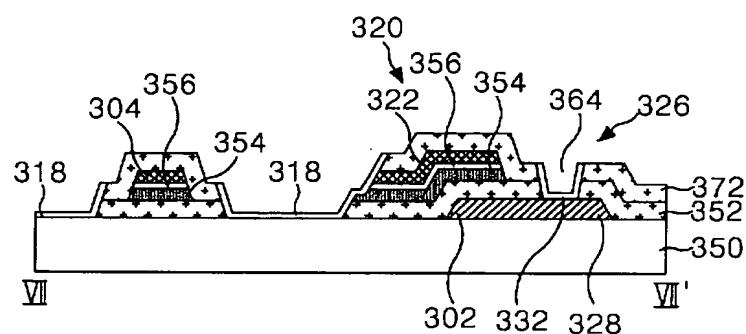
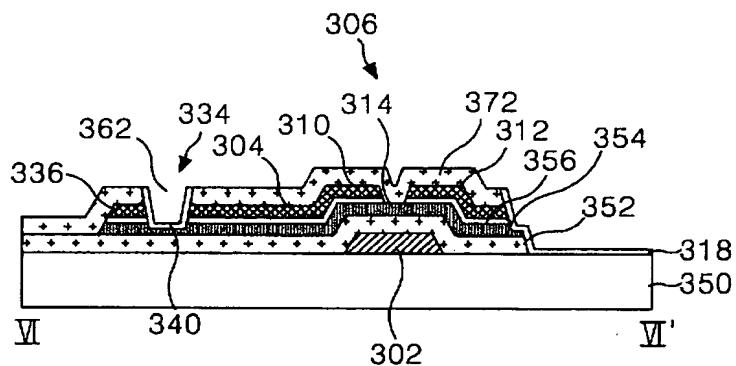
【도 20b】



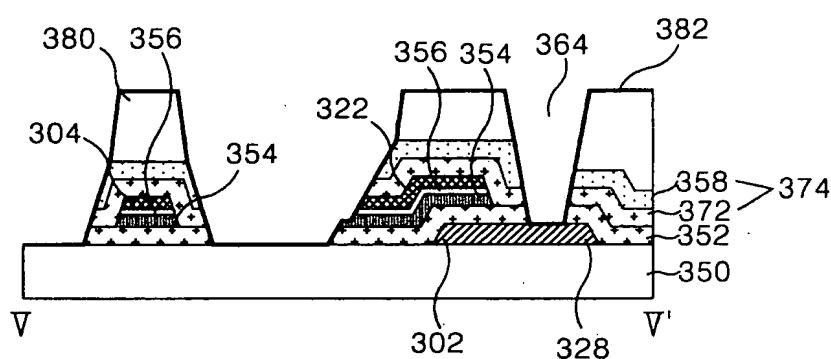
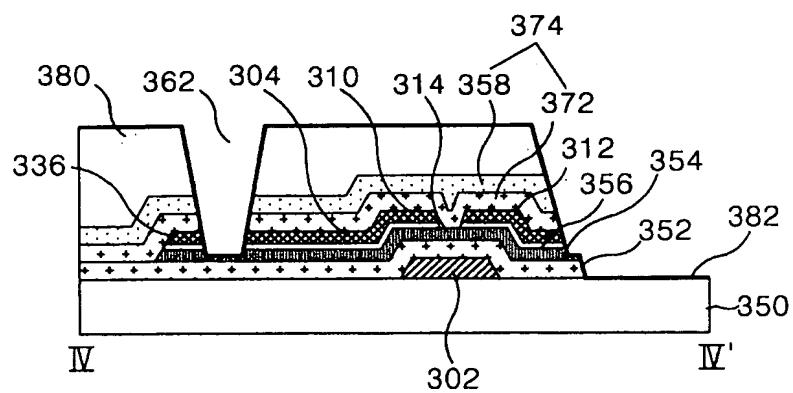
【도 20c】



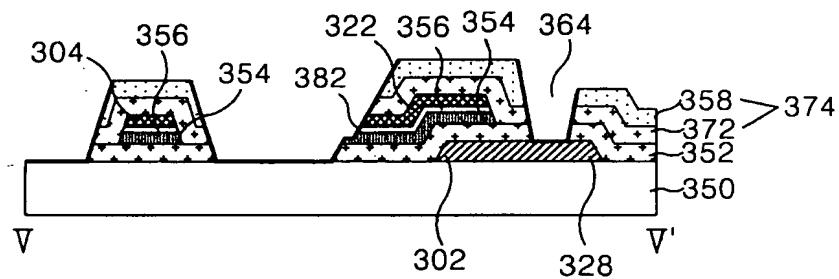
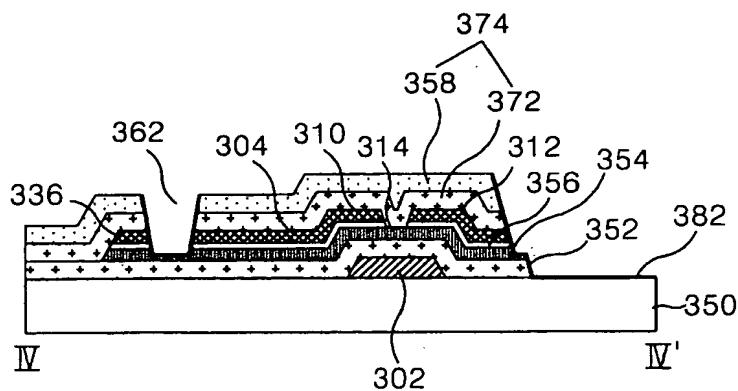
【도 20d】



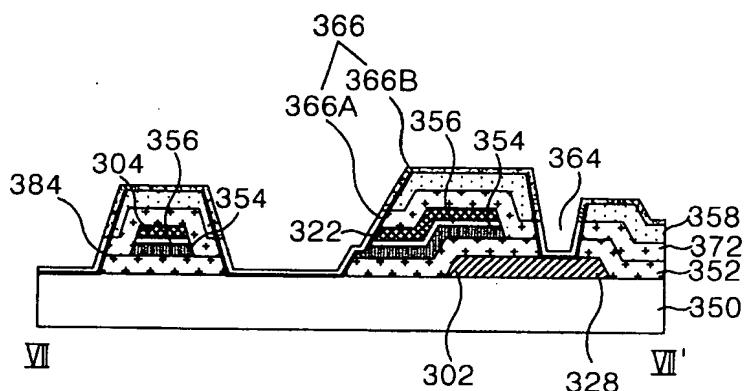
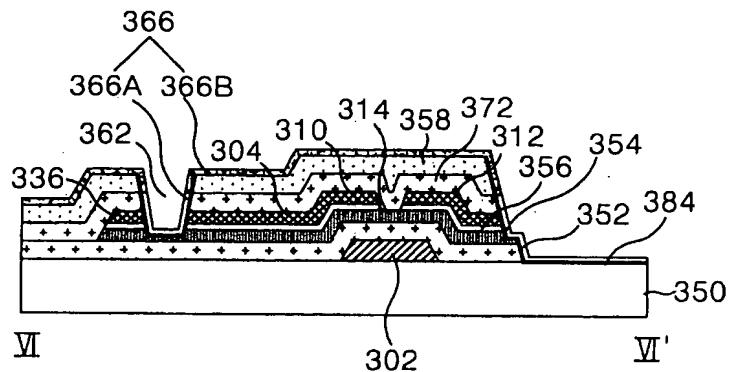
【도 21a】



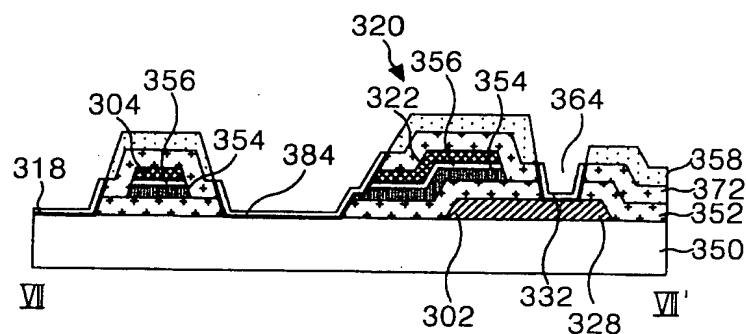
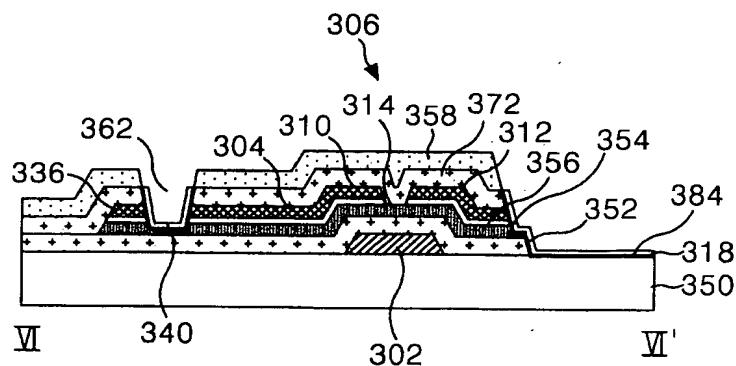
【도 21b】



【도 21c】



【도 21d】



【도 21e】

